

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-102172  
(43)Date of publication of application : 13.04.1999

(51)Int.Cl. G09G 3/36  
G02F 1/133

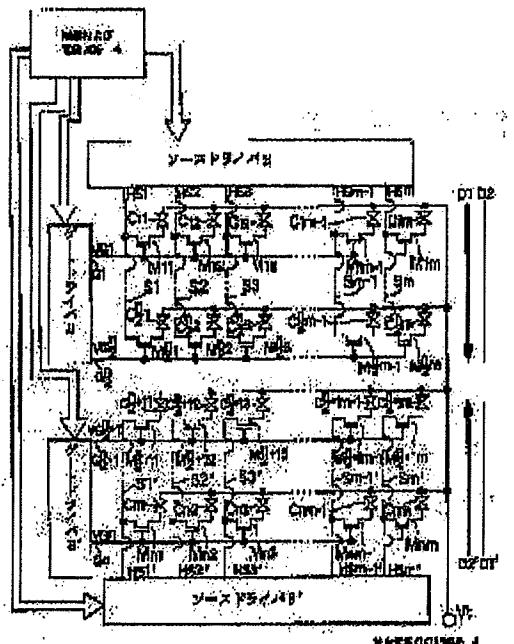
(21)Application number : 09-262184 (71)Applicant : SHARP CORP  
(22)Date of filing : 26.09.1997 (72)Inventor : NABESAWA HIROYUKI  
KAWAGUCHI TAKAFUMI  
SEO MITSUYOSHI

**(54) DOT MATRIX DISPLAY DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To attain higher quality of a display screen by controlling scanning orders of scanning lines of both of upper and lower surfaces to eliminate a luminance difference in the dividing boundary part of the both surfaces.

**SOLUTION:** Scanning orders of scanning lines of both of upper and lower surfaces are allowed to be controlled. Relating to this device, plural first signal lines are divided into S1-Sm, S1'-Sm' in the vertical direction and switching elements M11-Mnm whose one ends are connected to intersections of the first signal lines S1-Sm, S1'-Sm' and second signal lines G1-Gn are provided for every this division. Scanning signals VG1-VGn/2, VGn-VG(n/2)+1 are supplied from gate drivers 3, 3' to the switching elements M11-Mnm according to scanning directions D1, D2'. Then, relating to this device, the driver 3 scans its selection elements in the order of VG1 → VGn/2 and the driver 3' scans them in the order of VGn → VG(n/2)+1.



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1]A dot-matrix display comprising:

Two or more 1st signal wires that were prolonged perpendicularly and allocated in parallel. Extend horizontally, provide two or more 2nd signal wires allocated in parallel, and a picture element electrode is provided in each intersection of these 1st and 2nd signal wire via a selection element, respectively, In a dot-matrix display which displays by carrying out selection driving of this picture element electrode, While forming two or more viewing areas which divided perpendicularly two or more 1st signal wire of the above into division into equal parts in parallel with the 2nd signal wire of the above, and divided two or more display screens into division into equal parts in a sliding direction and scanning the 2nd signal wire for every above-mentioned viewing area in the same time zone, Two or more scanning circuits corresponding to each above-mentioned viewing area which scans substantially the 2nd signal wire located in a boundary part of the adjoining above-mentioned viewing area to the same timing are provided, Two or more signal supply circuits which carried out time-axis extension of the status signal according to the number of partitions of the above-mentioned viewing area, and corresponded to each above-mentioned viewing area which supplies a status signal corresponding to each divided above-mentioned viewing area which carried out time-axis extension to the 1st divided signal wire of each above-mentioned viewing area.

[Claim 2]The above-mentioned scanning circuit each 2nd signal wire in a boundary part of a viewing area which adjoins among two or more above-mentioned viewing areas, The dot-matrix display according to claim 1 scanning as the starting point of scanning timing of each frame of the above-mentioned adjoining viewing area, and scanning each 2nd signal wire in the direction estranged from the above-mentioned boundary part one by one.

[Claim 3]The above-mentioned scanning circuit a scan of the 2nd signal wire in a boundary part of a viewing area which adjoins among two or more above-mentioned viewing areas, The dot-matrix display according to claim 1 scanning as a terminal point of timing of a scan of each frame of the above-mentioned adjoining viewing area, and scanning each 2nd signal wire in the direction of a boundary part from a position estranged from the above-mentioned boundary part one by one.

[Claim 4]Two or more 1st signal wires characterized by comprising the following that were prolonged perpendicularly and allocated in parallel, A dot-matrix display which displays by extending horizontally, providing two or more 2nd signal wires allocated in parallel, providing a picture element electrode in each intersection of these 1st and 2nd signal wire via a selection element, respectively, and carrying out selection driving of this picture element electrode.

Two or more 1st signal wire of the above is perpendicularly divided into division into equal parts in parallel with the 2nd signal wire of the above, Two or more scanning circuits in which two or more viewing areas which divided two or more display screens into division into equal parts in a sliding direction were formed in, and the 2nd signal wire for every above-mentioned viewing area was provided corresponding to two or more above-mentioned viewing areas scanned to a direction

estranged more nearly mutually than a boundary part of an adjoining viewing area, or its opposite direction.

A Vertical Synchronizing signal generation circuit which outputs a Vertical Synchronizing signal with which phases differ to two or more above-mentioned scanning circuits.

Two or more signal supply circuits corresponding to each above-mentioned viewing area simultaneously supplied to the 1st signal wire of each above-mentioned viewing area which carried out time-axis extension of the status signal according to the number of partitions of the above-mentioned viewing area, and divided a status signal corresponding to each divided above-mentioned viewing area which carried out time-axis extension.

A frame inverting circuit which writes a signal given to each picture element corresponding to the above-mentioned picture element electrode in different polarity for every one vertical periods or two or more vertical periods.

[Claim 5]The dot-matrix display according to claim 4, wherein a time lag between two or more Vertical Synchronizing signals with which phases generated in the above-mentioned Vertical Synchronizing signal generation circuit differ is an integral multiple of a horizontal cycle.

[Claim 6]The dot-matrix display according to claim 4, wherein a time lag between two or more Vertical Synchronizing signals with which phases generated in the above-mentioned Vertical Synchronizing signal generation circuit differ is odd times the horizontal cycle.

[Claim 7]The dot-matrix display according to any one of claims 4 to 6, wherein phase contrast between two or more Vertical Synchronizing signals with which phases generated in the above-mentioned Vertical Synchronizing signal generation circuit differ is set up so that a vertical-retrace-line period of a Vertical Synchronizing signal corresponding to an adjoining viewing area may overlap.

[Claim 8]The dot-matrix display according to any one of claims 4 to 7, wherein the 2nd signal wire located in both viewing areas of a boundary part of the above-mentioned adjoining viewing area is scanned simultaneously.

[Claim 9]The dot-matrix display according to any one of claims 4 to 8, wherein time when a picture element connected to the 2nd signal wire located in both viewing areas of a boundary part of the above-mentioned adjoining viewing area is written in like-pole nature is shorter than time currently written in reverse polarity.

[Claim 10]The dot-matrix display according to any one of claims 1 to 9, wherein the above-mentioned selection element is an active device provided between each picture element which comprises an above-mentioned picture element electrode, and the 1st corresponding signal wire.

[Claim 11]The dot-matrix display according to claim 10, wherein the above-mentioned active device is an amorphous silicon thin film transistor.

[Claim 12]The dot-matrix display according to any one of claims 1 to 11, wherein an end of each picture element which comprises an above-mentioned picture element electrode is connected to a common electrode which comprises plate conducting of one sheet.

[Claim 13]The dot-matrix display according to claim 12, wherein rectangular wave shape voltage in sync with a Vertical Synchronizing signal and/, or a Horizontal Synchronizing signal is impressed to the above-mentioned common electrode.

[Claim 14]a swing of voltage required in order that two or more signal supply circuits which supply a signal level to the 1st signal wire of the above may write each picture element which comprises an above-mentioned picture element electrode in positive/negative two poles -- at most -- the dot-matrix display according to claim 13 being a circuit with one half of dynamic ranges.

[Claim 15]The dot-matrix display according to any one of claims 1 to 14, wherein a picture element which comprises an above-mentioned picture element electrode is a liquid crystal cell.

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION****[Detailed Description of the Invention]****[0001]**

[Field of the Invention] This invention has a picture element of a capacitive load, relates to the dot-matrix display which displays by line sequential scanning, especially is highly minute and relates to a dot-matrix display suitable for the display of a big screen.

**[0002]**

[Description of the Prior Art] Liquid crystal display LCD (Liquid Crystal Display) of low power consumption is adopted as the monitor of the present notebook PC (Personal Computer) or portable TV by a thin light weight in many cases.

[0003] There are a TFT (Thin Film Transistor) method, a STN (Super Twisted Nematic) method, etc. in LCD. As for LCD mass-produced now, these two are in use. Although a manufacturing cost attaches the former highly compared with the latter, the feature that profitableness and speed of response are quick is shown in a multi-gradation display with little display unevenness with high contrast.

[0004] First, the structure of LCD is explained centering on a drive circuit. LCD comprises two or more liquid crystal cells. For example, color LCD of VGA (Video Graphic Array) has about 900,000 liquid crystal cells. Red and three liquid crystal cells colored the green and blue three primary colors specifically constitute one picture element from a light filter, and the liquid crystal cell is arranged at the matrix form of the 640 figures of width x length of 480 lines. For this reason, the total of a liquid crystal cell will be  $640 \times 3 \times 480 = 921,600$  piece. And one picture is expressed with a set of this liquid crystal cell.

[0005] The structure of TFT LCD of 6 figures x four lines is shown in drawing 8. (1) of drawing 8 -- as for control and a power supply circuit, and (5), a source driver and (3) are [ a liquid crystal cell and (7) ] common electrodes TFT and (6) a gate driver and (4) a liquid crystal panel and (2). Source drivers (2) are a data driver, column drivers, and X. It is also called a driver and a column electrode drive circuit. Gate drivers (3) are a scan driver, row drivers, and Y. It is also called a driver and a row electrode driving circuit.

[0006] At the liquid crystal panel (1), the liquid crystal cell (6) is formed on one glass substrate at matrix form. If it sees from the drive circuit of LCD, a liquid crystal cell can be considered to be a capacitive load. Each liquid crystal cell changes optical character according to the voltage impressed to the capacity. In LCD of a normally white method, if the capacity is charged, it will become black and a liquid crystal cell will be discharged, it will become white.

[0007] As for the gate electrode, the drain electrode is connected to the output terminal of a gate driver (3) for the source electrode of TFT (5) via the gate bus line at the liquid crystal cell (6) at the output terminal of the source driver (2) via the source bus line. The drain electrode of a liquid crystal cell and the terminal of the opposite hand are connected to the common electrode (7). The common electrode of all the liquid crystal cells is short-circuited mutually, and is maintained at

always equal potential. For this reason, the voltage currently impressed to each liquid crystal cell is decided by potential of the drain electrode of TFT.

[0008]A source driver (2) is a drive circuit which outputs the voltage for carrying out the charge and discharge of the liquid crystal cell via TFT.

A gate driver (3) is a drive circuit which outputs the voltage which controls switching of TFT.

Control and a power supply circuit (4) supply a timing signal, driving source voltage, etc. to two kinds of this driver.

[0009]TFT is a kind of switching element. The operation resembles n-FET (Field Effect Transistor).

Now, a-Si (Amorphous Silicon) TFT is chiefly used for large-sized LCD. However, as for a-Si TFT, On resistance does not reach distantly [ n-FET ] efficiently very highly (about several M omega).

TFT intervenes between the output terminal of a source driver, and a liquid crystal cell, and On resistance of TFT and the capacity of a liquid crystal cell have a RC time constant. The capacity of a liquid crystal cell requires the time about several 10 [musec], in order to charge one liquid crystal cell, since it is about several picofarad.

[0010]For this reason, at a-Si TFT LCD, charging time is secured by charging simultaneously the liquid crystal cell beside one line (the time multi-line) within 1 level display period. By a-Si TFT LCD, the video signals for one line are refreshed all at once to refreshing a video signal 1 dot at a time in CRT (Cathode Ray Tube) or poly-Si TFT LCD. The former is called dot order following scan and the latter is called line sequential scanning.

[0011]In LCD of VGA, the side of one line and a 640xRGB=1920 piece liquid crystal cell are charged simultaneously. However, manufacture and mounting of IC provided with 1920 output terminals are unreal. Now, this is realized by mounting two or more ICs of a source driver with few output terminals in one set of LCD. A source driver is still the most expensive in the member used for the drive circuit of LCD. And it is a member which affects display quality most again.

[0012]The block diagram of a source driver is shown in drawing 9. Here, a video signal shall be inputted into a source driver in digital one. As for drawing 9 (11), as for a serial/parallel conversion machine or a shift register, and (12), a digital-to-analog converter (DAC) and (14) are an output buffer or an operational amplifier a latch or a flip-flop, and (13).

[0013]In order to reduce the pin count of the input terminal of a source drivers IC, a video signal is inputted serially. After deserializing and latching this, an analog signal is outputted from DAC. In order to shorten the charging time of a liquid crystal cell, an output buffer is provided between DAC and an output terminal, and impedance conversion is carried out in many cases. a serial/parallel conversion machine -- it is necessary to supply the reference voltage for what is called gamma compensation for a timing signal to a latch at DAC, and to supply the driving source voltage +V and -V for a video signal to an output buffer

[0014]The sample & hold element of an analog may be adopted instead of a digital latch. In that case, DAC is unnecessary. However, if an analogue device is used, it will become difficult to reconcile high-speed operation, high degree of accuracy, and low cost.

[0015]In the case of VGA, 1920 output buffers per one set of LCD are needed. For this reason, if the design of DAC or an output buffer has futility of one transistor, it will be connected with no less than 1920 futility in the whole LCD. On the other hand, even if the futility and the redundancy about a number gate are between the video signal input terminal (not shown) of LCD, and a serial/parallel conversion machine, the rise of the cost resulting from it or power consumption hardly becomes a problem. Therefore, the design of DAC or an output buffer is dramatically important. Reduction of a transistor count, reduction of the idle current of an output buffer, etc. are big technical problems.

[0016]Fortunately, since the output buffer of the source driver of a-Si TFT LCD should just operate in an audio band region, so highly efficient a thing is unnecessary. Although a slew rate is not so high, the comparatively big dynamic range of driving source voltage can be taken (what is called a Rail-To-Rail output being possible), and even if it does not adjust in particular, what has a few output deviation is used.

[0017]The gate driver (3) has a function which chooses the line which charges the next from two or more gate lines. All the TFT(s) connected to the line when voltage higher than a source electrode and a drain electrode was impressed to the gate line On, and if low voltage is impressed, TFT Off(s). If it finishes choosing all the lines within 1 vertical display period, the picture of one sheet will be completed.

[0018]LCD of a STN method does not have the active device or common electrode like TFT. One side of the liquid crystal cell is connected to the source line direct [ another side ] to a gate line (with no figure).

[0019]Next, the cause which has on the display quality of LCD, and its measure are described.

Drawing 10 shows the capacity which floats around TFT (5). As for (5), in drawing 10, a liquid crystal cell and (7) are common electrodes TFT and (6). (25), as for a gate line, the drain inter-electrode stray capacitance CGD, and (26), stray capacitance CSD' between the next source line and a drain electrode and (28) are stray capacitance CSC between a source line and a common electrode a source line, the drain inter-electrode stray capacitance CSD, and (27).

[0020]The electric charge charged by the liquid crystal cell is gradually discharged via insulation resistance. For this reason, even if it is a case where a still picture is displayed even if, it is necessary to carry out the recharge of the liquid crystal cell for every vertical period.

[0021]As mentioned above, a liquid crystal cell is a capacitive load. Even if there is no polarity in this capacitor, it just charges and it charges negative, that optical response is the same. If the liquid crystal cell is rather charged in the polarity same for a long time, since display quality will deteriorate, it is not desirable. Although it becomes black with impressing voltage to a liquid crystal cell in LCD of a normally white, when it continues displaying a blackish picture on LCD of this method for a long time, it is \*\* that an afterimage (seizure) occurs. This is for the ion contained in a minute amount at a liquid crystal material to answer bad by moving to an electrode.

[0022]What is necessary is just to reverse the polarity which charges a liquid crystal cell for every vertical period as the measure. In this specification, this is called frame reversal. The volts alternating current of the square wave of 30–35 [Hz] of the half of the vertical periods 60–70 [Hz] will be impressed to each liquid crystal cell as a result of frame reversal.

[0023]However, adoption of frame reversal will cause deterioration of another kind for the side effects of display quality. Now, suppose that black Isshiki was displayed all over LCD of drawing 8. Here, from on a figure, it shall be got blocked downward and shall scan in order of the gate line G0, G1, G2, and G3 to it. The potential of the source line S0 when the potential of a common electrode is considered to be 0 [V], and the potential of the drain electrodes D00 and D30 are shown in drawing 11 (a). The source driver of this example is not outputting the effective signal during the vertical retrace line.

[0024]The electric charge charged by the liquid crystal cell is gradually discharged to a source line via Off resistance and insulation resistance (not shown) of TFT. There is more the quantity, as the big state of a source line and drain inter-electrode potential difference continues for a long time. An electric charge escapes to a source line via the stray capacitance CSD, when the potential of a source line is reversed. Since the recharge of the liquid crystal cell D00 is promptly carried out after reversal of a source line (i.e., after an electric charge escapes), it cannot receive the influence easily. However, since the liquid crystal cell D30 is neglected for a while after an electric charge escapes, it tends to be influenced.

[0025]The quantity in which an electric charge escapes from a drain electrode is decided in time after the polarity of the output signal of a source driver changes by field reversal until charge of a liquid crystal cell actually starts. It is not necessarily decided by distance from a source driver to a liquid crystal cell.

[0026]In this example, an electric charge escapes from the liquid crystal cell in which the gate line G0 drives the liquid crystal cell which gate line G3 drives easily. If an electric charge escapes, pure black cannot be expressed but it will become the display appropriate for gray. For this reason, the

phenomenon of being as grayish as the direction under a screen occurs actually also with thinking that it displayed uniform black solid. In this specification, this is called the inclination of contrast. [0027]What is necessary is just to reverse the polarity which charges a liquid crystal cell for every horizontal cycle, in order to avoid the inclination of contrast. Then, since the potential of a source line is frequently reversed, the whole screen comes appropriate for gray uniformly. The problem of being a little grayish is solvable only by raising slight amplitude of the output voltage of a source driver. In this specification, this is called line inversion. Usually, line inversion is used together with frame reversal.

[0028]Since the charge and discharge of stray capacitance CSC between a source line and a common electrode will be repeated for every horizontal cycle if line inversion is adopted, the consumed electric current of a source driver increases. It becomes easy to generate the display unevenness called a cross talk or shadowing.

[0029]The potential of the source line S0 when line inversion is carried out, and the potential of the drain electrodes D00 and D30 are shown in drawing 11 (b). In line inversion, since the average value (dc component) of the voltage impressed to a source line between one vertical periods is set to 0, the inclination of contrast is canceled. However, if it says only within one vertical period, the p-p (Peak-To-Peak) value of voltage will become larger than drawing 11 (a). If a high frequency signal with big amplitude is put on a source line, the potential of a drain electrode will be shaken via CSD and the impressed electromotive force of the liquid crystal cell which should not be scanned will be disturbed.

[0030]If line inversion is carried out, an AC signal twice the cycle of one horizontal cycle will ride on a source line. Even when not carrying out line inversion, if it is not a solid screen, the AC signal of the same cycle will ride on a source line, but since the amplitude of a signal is small, it is hard to become a problem. If the polarity of the output voltage of a source driver is reversed for every horizontal cycle, the AC signal of big amplitude will ride on a source line.

[0031]Suppose that he would like to display a picture like drawing 12, i.e., the black quadrangle in white solid one, on LCD of drawing 8 now. However, the signal which rode on the source line is slightly written also in the liquid crystal cell which the gate driver has not chosen via CSD. It is because a source line and drain inter-electrode have connected too hastily in exchange. For example, when the gate line G1 is chosen and the liquid crystal cell D12 is charged, a little D00, D22, and D32 are charged. As a result, the upper and lower sides of a black quadrangle come appropriate for gray, and it will be the display which dragged on like drawing 13.

[0032]What is necessary is just to make capacity of a liquid crystal cell larger enough than the stray capacitance CSD, in order to improve this. However, it is difficult to make big capacity on a liquid crystal panel. The time which charge of a liquid crystal cell takes is proportional to the capacity. If charge of a liquid crystal cell becomes insufficient, display quality will deteriorate too. Although there is also the method of lowering On \*\*\*\*\* of TFT and shortening charging time, it causes the cost hike of a gate driver, and the fall of reliability.

[0033]Here, another measure is explained. Like drawing 10, stray capacitance CSD' (6) exists between a drain electrode and the next source line. Then, the liquid crystal panel is designed become CSD=CSD', the AC signal of an opposite phase is put on an adjacent source line, and LCD is driven.

[0034]Now, suppose that it displayed black solid on the whole screen. At this time, the video signal of a polar difference is put on an adjacent source line. An absolute value becomes the same, although the potential of an adjoining source line differs in numerals when setting potential of a common electrode to 0. Therefore, if it CSD=CSD' Becomes, change of the potential of a source line will be offset and influence will not appear in the potential of a drain electrode.

[0035]In this specification, it calls it dot inversion to drive an adjacent source line with different polarity. The signal which has ridden on the source line has the effect of preventing affecting the potential of a common electrode via stray capacitance CSC in dot inversion. However, dot inversion

cannot be used by LCD of the common inversion driving method described later.

[0036]Concomitant use of frame reversal, line inversion, and dot inversion will charge each liquid crystal cell of  $6 \times 4 = 24$  dot LCD of drawing 8 with polarity like drawing 14. Theoretically, frame reversal is effective, only when a still picture is displayed. However, a certain amount of effect is expectable also to the late animation of a motion. Also with an image with many scene changes, a problem hardly arises. However, an effect may be halved when what blinking is displayed.

[0037]Line inversion is effective when a solid screen is displayed. However, a certain amount of effect is expectable also to a picture with many dc components. As for the video signal, many dc components are actually contained usually. Therefore, the probability that line inversion will demonstrate the effect is high.

[0038]Dot inversion is effective to white, ashes, and a black solid screen. In red, green, blue, cyanogen, magenta, and a yellow solid screen, an effect falls a little. Color LCD has a method in use which charges simultaneously three liquid crystal cells colored red, green, and blue by three source lines. For this reason, for example, whole surface red 1 color specification is never solid for a source driver also on a solid screen at appearance. Probably, dot inversion will be dramatically effective if it is white and a black screen with much solid one like drawing 12.

[0039]It is a checkered picture like drawing 15 which line inversion and dot inversion make the weakest. This is a picture with the highest frequency component as known well.

[0040]However, as long as it uses for the monitor of liquid crystal TV, this does not become a problem at all. It is because such a picture cannot be sent as a matter of fact in the electric wave of analog TV broadcast. However, as a monitor of OA (Office Automation) terminal, it becomes a big problem. In OA equipment, dithering may express intermediate color. At this time, the effect of line inversion or dot inversion decreases sharply according to conditions. Degradation of remarkable display quality may actually be caused in the end screen of Windows 95.

[0041]There is art called FRC (Frame Rate Control) which blinks a picture element at high speed and displays intermediate color as a thing similar to dithering. If this is used, the effect of frame reversal will fall. As the measure, the method which reverses polarity every two vertical periods can be considered. In this specification, the drive system which reverses polarity for two or more vertical periods of every is included in frame reversal, and is considered.

[0042]In recent years, the numerical aperture of a liquid crystal panel is raised and there is a motion which makes luminosity of LCD high. Therefore, a drain electrode becomes large and the distance between a source line and a drain electrode is short every year. CSD increases in inverse proportion to it, and it is impossible to disregard the influence which it has on display quality.

[0043]The demand of LCD is shifted more to a high definition product with high resolution. In order to raise the horizontal resolution of LCD, it is necessary to increase the total of the output terminal of a source driver. It is not connected with degradation of display quality although mounting of IC and the high-speed transmission of a video signal become a technical technical problem at this time. On the other hand, a horizontal cycle must be shortened while increasing the total of the output terminal of a gate driver, in order to raise vertical resolution. In addition to the technical problem described now, at this time, shortening of charging time becomes a big problem. Since the part and the signal with high frequency with which the horizontal cycle became short ride on a source line, the problem about CSD becomes larger.

[0044]Only the signal which rode on the source line does not become a problem. The AC signal which rode on the gate line also affects the potential of a drain electrode via CGD. Now, when the potential of a gate line is  $-10$  [V], TFT Off(s), and when it is  $20$  [V], it shall On. If the potential of a gate line is raised to  $20$  [V]s from  $-10$  [V], since CGD exists, the potential of a drain electrode will also go up.

[0045]However, since charge of the drain electrode by a source driver will start once TFT On(s), this does not become a problem. On the contrary, if the potential of a gate line is lowered to  $-10$  [V] from  $20$  [V]s, the potential of a drain electrode will also fall. Since TFT Off(s) immediately after that,

the potential of a drain electrode remains falling at this time. That is, a gate line will suck out of a source line the electric charge supplied to the drain electrode with much trouble.

[0046]However, the measure to the influence of CGD is comparatively easy. It is because the signal which rides on a gate line is that it is completely sudden in the stage of a design to changing with the image which the signal which rides on a source line displays. And that the AC signal is flowing is one are scanning among 480 gate lines now, if it is VGA. For this reason, it is avoidable only by foreseeing the influence of CGD and rectifying the output voltage of the source driver beforehand.

[0047]Thus, the work as a switching element of TFT worsens to a high frequency signal for the stray capacitance CGD (8) shown in drawing 10, and CSD (9). Since stray capacitance between a gate line and a source line does not affect the potential of a drain electrode, it is omitted by drawing 10.

[0048]Next, common inversion driving is explained. An example of the relation of the impressed electromotive force of a liquid crystal cell and the luminosity of a picture element is shown in drawing 16. The actual characteristic changes somewhat according to the kind of liquid crystal material. Here, if 1 [V] is impressed, it will become white, and it shall become black if 5 [V] is impressed. The optical property is saturated with 0 or more [V] of fields of 1 or less [V], and the field of 5 or more [V]. When negative voltage is impressed to a liquid crystal cell, the characteristic as the time of numerals impressing reverse voltage that an absolute value is the same and it is the same is shown.

[0049]When a liquid crystal cell has the characteristic like drawing 16, if a source driver can output 1 or more [V] the voltage of 5 or less [V], it seems to be able to drive LCD apparently. However, since the voltage of positive/negative amphipathy must be outputted in order to carry out inversion driving of the polarity, -5 or more [V] the dynamic range of 5 or less [V] is needed actually.

[0050]It becomes impossible however, to manufacture a source driver in the process of standard 5 [V] pressure-proofing now. If the process of 10 [V] pressure-proofing is used, increase of the chip size of a source driver will be caused and it will be connected with a cost hike. Then, what is called common inversion driving may be used. This shakes the potential of a common electrode.

[0051]A Horizontal Synchronizing signal when line inversion and common inversion driving are adopted, the potential of a common electrode, the potential of a black video signal, and the potential of a white video signal are shown in drawing 17. In common inversion driving, a square wave as shown in a figure is inputted into a common electrode. In this example, the potential of the common electrode is shaken with the amplitude of 3 [V]s for every horizontal cycle. That is, the cycle of a square wave is twice the one horizontal cycle, and peak-to-peak values are 6 [V]s. Although the source driver has only the dynamic range of 4 [V]s at this time, the voltage of \*\*5 [V] is impressed to the liquid crystal cell.

[0052]The manufacturing cost of a source driver can be pressed down in common inversion driving. Since the output buffer of a source driver can be driven with 4 [V] power supply, power consumption is also pressed down. On the other hand, the circuit which supplies a square wave is needed for a common electrode. Dot inversion becomes impossible when common inversion driving is adopted. However, it is possible if it is frame reversal and line inversion.

[0053]On the other hand, direct current voltage is impressed to a common electrode, and the method using the source driver obediently manufactured in the process of 10 [V] pressure-proofing is made to call it a common direct-current drive on these specifications. For example, what is necessary is to set the potential of a common electrode constant 5 [V], and just to supply the voltage of 0 – 4 [V] from a source driver, when charging a liquid crystal cell at straight polarity and charging the voltage of 6 – 10 [V] at negative polarity. The potential of the common electrode in the common direct-current drive at this time, the potential of a black video signal, and the potential of a white video signal are shown in the same drawing 17.

[0054]In a common direct-current drive, in order to employ the feature efficiently, dot inversion is usually performed. At this time, the signal of an output buffer to straight polarity which differs in the

same source drivers IC, and the signal of negative polarity are outputted simultaneously.

[0055] Since a polar different signal is outputted simultaneously, DAC in the source driver of a common direct-current drive becomes a twice as many scale as that of common inversion driving, and the chip size of IC becomes large. The number of the reference voltage for gamma compensation supplied to DAC also increases twice, the number of the terminals between IC and a printed circuit board increases, and mounting becomes difficult. Since the output buffer of a source driver is driven with 10 [V] power supply, the electric power consumed with a buffer also increases more than twice. The numerosness of power consumption becomes a big problem especially in the monitor use of a battery-operated portable device.

[0056] Common inversion driving is suitable for LCD with few problems of a cross talk whose resolution is comparatively low, and difficult LCD (the object for palm top PC, for projectors, etc.) of mounting with a fine dot pitch. A common direct-current drive is large-sized, and suitable for LCD (for desktop PC etc.) without battery-operated necessity with high resolution. At the object for notebook PCs, a common inversion driving and common direct-current drive both also lacks in a conclusive factor by merits and demerits at present. Since line inversion dot inversion has an element which causes the increase in power consumption, it cannot generally say which is advantageous.

[0057] On the other hand, in order to realize the display of a big screen with high resolution, level or time to charge each pixel in proportion to a pixel number unless the time of the 1 field is lengthened if the number of vertical lines is increased and a pixel number is increased becomes short. In order to charge each pixel, it it increases a pixel number, as for charge, each pixel fully becomes however, impossible [ there is indispensable time, and ]. For this reason, there was a problem which cannot make a pixel number large enough.

[0058] The following art is proposed by JP,7-281648,A to this problem. Two or more 1st signal wires (source line) that were extended perpendicularly and allocated in parallel, In the LCD device with which the 2nd signal wire (gate line) that was extended horizontally and allocated in parallel is provided, and it comes to provide a liquid crystal cell in each intersection of these 1st and 2nd signal wire via a selection element (TFT), respectively, Divide the 1st signal wire of the above or more into two perpendicularly, and it becomes independent about supply of the signal to the 2nd signal wire of the above for this the division of every, and the 1st signal wire that carried out time base expansion and was divided according to the number of the above-mentioned division of a status signal is supplied. According to this, by carrying out time base expansion of the status signal, and supplying it, the charging time of a liquid crystal cell can be expanded relatively, and the increase in a pixel number can be enabled by this.

[0059] As an example, the 1st signal wire is divided into two and the display of 6 figures x eight lines which put in order two displays of 6 figures x four lines, and made them is explained. Two or more 1st signal wires that were extended perpendicularly and allocated in parallel as shown in drawing 18 are divided perpendicularly at S0-S5, S0' - S5'.

[0060] On and the intersection of this 1st divided signal wire S0-S5, S0' - S5', and the 2nd signal wire G0 - G3, G0' - G3'. The switching element (5) which consists of N channel FET which connected the end is provided, and the scanning signals VG0-VG3, VG0' - VG3' are supplied to this switching element (5) according to the scanning direction D1a and D2a from a gate driver (3) and (3'). Namely, the upper half of a screen and a lower half are scanned from a top to the bottom.

[0061] The other end of each switching element (5) is connected to a counterelectrode COM terminal (7) through a liquid crystal cell (6), respectively. To the source driver (2) and (2'), by control and a power supply circuit (4) The first half of a screen, As the status signal which was able to be distributed in the second half is supplied and the status signal corresponding to the 2nd signal wire chosen shows drawing 19, HS0' - HS5' are outputted by HS0-HS5, and the source driver (2') from a source driver (2).

[0062] In this case, the signal to illustrate is a black video signal and is carrying out the object for

the averages of field reversal and the line inversion. At this time, after scanning signal VG0 and VG0' is outputted simultaneously, and is chosen one by one and VG3 and VG3' is finally chosen simultaneously, it moves to the next field and a scan begins from VG0 and VG0' again.

[0063]Without according to this, extending the time of the 1 same field, since two liquid crystal cells can be charged simultaneously, time base expansion will be carried out to a liquid crystal cell, and it can be charged. In an example, although it is two division, by increasing the number of partitions, it cannot care about shortage of charging time, but the increase in the further pixel number can be enabled. The art in which this drives S-VGA (Super Video GraphicArray), i.e., LCD of the 800 figures of width x length of 600 lines, is used, U-XGA (Ultra Extended Video Graphic Array), i.e., LCD of the 1600 figures of width x length of 1200 lines, is realizable.

[0064]When it carries out that it is the same as that of this by CRT, the knot of a monitor and a monitor is surely conspicuous. However, if the liquid crystal panel (1) of drawing 18 is taken from the mother glass of one sheet in the case of LCD, the monitor without a knot can be made. It is because the break of the source line which crosses the center of a panel is not visible. Therefore, the user can use this comfortable in any way as one set of a monitor.

[0065]In LCD of drawing 18, although there is no knot in a display screen, the drive circuit is divided up and down. And the liquid crystal cell in the upper half of a liquid crystal panel and the liquid crystal cell of a lower half are scanned simultaneously independently. In this specification, this is called the division scan of a screen.

[0066]The application of this LCD is explained using drawing 20. (1) of a figure -- as for a gate driver, (4), and (4'), a source driver, (3), and (3') are [ a liquid crystal panel, (2), and (2') / a liquid crystal cell, (7), and (7' of control and a power supply circuit, and (5)) ] common electrodes TFT and (6). As for (8) of drawing 20, a control circuit and (10) are memories a video signal source and (9).

[0067]For example, if it is the monitor which receives highly minute TV broadcast, (8) becomes a tuner, (9) becomes a conversion circuit of a scanning mode, and (10) becomes an image memory. The above-mentioned control circuit (9) changes the video signal sent from TV office so that a division scan can be carried out, and it distributes it to the control circuit (4) and (4'). If it is the monitor for PC, (8) becomes a microprocessor, (9) becomes a video controller, and (10) becomes a Video RAM (Random Access Memory).

[0068]Although the common electrode (7) and (7') is drawn like a thin lead by drawing 20, it is a conducting film which spreads on the glass surface of one sheet in practice. The common electrode in the upper half of a liquid crystal panel (7) and the common electrode (7') of a lower half which are shown in drawing 20 have short-circuited. This is for pressing down a manufacturing cost.

[0069]The liquid crystal panel of TFT LCD confines a liquid crystal material between TFT, the glass substrate in which the bus line was formed, and the glass substrate in which the common electrode was formed on the whole surface, and is made. The former glass substrate has many parts with a fine art, and manufacturing processes, and has required cost. The latter glass substrate just needs to make the solid pattern of a transparent electrical conducting material. Therefore, even if it adds tricks to a bus line a little, a manufacturing facility, a process, and cost are as practically equal as it of the present article. However, when a common electrode is modified, cost will leap up greatly. If a conducting film is formed all over one glass substrate, the common electrode (7) and (7') will become what was short-circuited inevitably.

[0070]

[Problem(s) to be Solved by the Invention]The 2nd independent signal wire like the above-mentioned conventional technology A gate driver (3), (3') outputs selection signal VG0 and VG0' simultaneously, and it The scanning direction D1a, According to D2a, scan in the direction one by one, and, finally VG3 and VG3' is chosen simultaneously, When the drive which moves to the next field and is again scanned from VG0 and VG0' is performed, Although the liquid crystal cell (6) connected with gate line G3 of the last chosen with a gate driver (3) and the liquid crystal cell (6) connected with gate line G0' first chosen with a gate driver (3') face across the divided boundary

and each other is adjoined by the upper and lower sides, The timing which charges a signal differs the time of 1/2 of one frame in these liquid crystal cells.

[0071]Therefore, the 1st signal wire S0-S5 that adjoins after these liquid crystal cells are charged once before charging again in the next field differs from the influence are influenced by S0'-S5' as follows. Drawing 19 is a thing in the case of the time chart in this case being shown, using field reversal and line inversion together, and making a black solid display perform.

[0072]The drive which reverses the COM signal of a counterelectrode (7) for every field is explained to an example. the case where the same display of all the 1 fields, for example, a black display etc., is performed -- a liquid crystal cell (6) -- the same status signal is charged by all. and the liquid crystal cell (6) connected to gate line G0' of a gate driver (3') -- the beginning of the field -- as for the capacitor (6) connected to gate line G3 of a gate driver (3), a status signal is charged at the last of the field.

[0073]Liquid crystal cell (6) In order to charge the same status signal at all, the level of the status signal charged by the liquid crystal cell (6) connected to gate line G0' and the signal level of source line S0' – S5' are equal. Therefore, after the liquid crystal cell (6) connected to gate line G0' is charged, the influence are influenced by source line S0'–S5' is small, and the deterioration quantity of the status signal charged by this liquid crystal cell (6) is small.

[0074]However, shortly after a status signal is charged, it moves from the liquid crystal cell (6) connected to gate line G3 of the gate driver (3) charged at the last of the 1 field to the next field. If it moves to the next field, the COM signal of a counterelectrode (7) will be reversed, and a status signal will also be reversed in connection with it.

[0075]Therefore, the level of a status signal and the signal level of the source lines S0–S5 which were charged by the liquid crystal cell (6) connected to gate line G3 differ from each other.

Therefore, the influence the liquid crystal cell (6) connected to gate line G0' is influenced by the source lines S0–S5, The liquid crystal cell (6) connected to gate line G0' – G3' is larger than the influence are influenced by source line S0'–S5', and the deterioration quantity of the status signal charged by the liquid crystal cell (6) connected to gate line G3 becomes large.

[0076]Therefore, displays differ in the liquid crystal cell (6) connected to gate line G3 which is a boundary of the line of the vertical (Y-axis) direction, and G0'. This will produce luminance difference near the boundary divided when it is the same and saw on the whole screen also by the cell near the boundary of the divided upper and lower sides.

[0077]Thus, if the upper half of a screen and a lower half are scanned from a top to the bottom, an upper half is scanned and a lower half is scanned in order of G0', G1', G2', and G3' in order of the gate line G0, G1, G2, and G3, The black video signal was inputted to the whole screen surface, even if it was going to display uniform black solid on LCD, as shown in drawing 21, the inclination of contrast occurred and the boundary part of up-and-down 2 divided screen had a problem that the joint which was not usually visible appeared.

[0078]When frame reversal is adopted, the more time after reversing the polarity of the output voltage of a source driver until the recharge of the liquid crystal cell is carried out excels, the more this is because an electric charge escapes from a liquid crystal cell easily and contrast falls. If line inversion is used together, it will not be omnipotent although it restricts when a video signal with many dc components is displayed, and the inclination of contrast is reduced.

[0079]A screen up-and-down 2 so that it may mention above when it divides and an upper half and a lower half are scanned from a top to the bottom, the inclination of the contrast produced in the boundary part of up-and-down both the divided screens, In the screen of an upper half, the bottom passes through the screen of an upper half and a lower half divided into two from a top more nearly simultaneous than a boundary part, respectively, and scanning the screen of a lower half from the bottom upwards to, and canceling it is given.

[0080]In this case, since each liquid crystal cell located in the boundary part of up-and-down both screens is charged to the same extent, the difference of clear contrast as shown in drawing 21 is

not produced. However, since the charging time of each liquid crystal cell located in a boundary part becomes shorter than the charging time of each liquid crystal cell located in other portions, when black solid is displayed, this portion becomes gray and the inclination of some contrast produces it. Since the inclination of this contrast appears in a transverse direction in a middle-of-the-screen part, it is not preferred.

[0081]In order to cancel the inclination of the gray contrast which appeared in the transverse direction in such a middle-of-the-screen part, it is possible that a top passes through the screen of an upper half and a lower half from the bottom more nearly simultaneous than a boundary part, respectively in the screen of an upper half, and the screen of a lower half is scanned from a top to the bottom.

[0082]In this case, since each liquid crystal cell located in the boundary part of up-and-down both screens is charged enough [ to the same extent and ], The field where charge of a liquid crystal cell is not enough performed in the upper-and-lower-ends part of a screen, i.e., the upper bed part of an upper screen and the lower end part of a lower screen, produces, in a black solid display, it does not become gray as mentioned above, but when this portion is a black solid display, it becomes gray, and it becomes the hindrance in the case of liking to perform a display important for the upper-and-lower-ends part of a screen.

[0083]When gate line G3 of both screens and G0' which are located in the portion which up-and-down both the screens mentioned above adjoined on the other hand are scanned simultaneously therefore, they have two problems to generate. Become bright or dark, a luminescent line or a dark line runs, and the 1st problem is that only the liquid crystal cell connected to gate line G3 or G0' so that it might mention above is visible from others.

[0084]When TFT Off(s) (i.e., when the potential of a gate line falls), the potential of a drain electrode is influenced via a gate line and the drain inter-electrode stray capacitance CGD so that it may mention above. While the grade of the influence is scanning every gate line, it is equal, therefore in the conventional LCD which does not carry out a division scan, and LCD as shown in drawing 19, it was easy to form a measure to the influence of CGD.

[0085]However, when gate line G3 and G0' are scanned simultaneously, distribution of the electric field of the gate line circumference under scan differs greatly in the time of scanning the two adjoining lines, and the time of scanning other two distant lines. For this reason, only when the grade of the influence of stray capacitance including CGD scans near central two line, they will differ.

[0086]When designing the drive circuit of LCD, in order to offset the influence of CGD, the value of the output voltage of a source driver may be rectified beforehand. However, if gate line G3 and G0' are scanned simultaneously, this amount of compensation must be changed for every scanned line. If it does not do so, the phenomenon in which other lines and luminosity differ from each other, and only two lines of middle of the screen are visible occurs. However, if it is going to make the amount of compensation variable, the circuit which generates the control circuit of LCD and the reference voltage for gamma compensation will become complicated, and the problem of cost or reliability will occur.

[0087]The 2nd problem is being unable to perform line inversion which reverses polarity for every line in the source driver of common inversion driving. (a) of drawing 22 is a source driver of common inversion driving, and is an example of a signal wave form when driving LCD of drawing 18. Also with this figure, the black video signal shall be outputted from the source driver. Field reversal and line inversion are used together in this example. When common inversion driving is adopted, the always same polar signal will be outputted from the source driver (2) which takes charge of an upper half, and the source driver (2') which takes charge of a lower half.

[0088]At this time, the polarity of the voltage impressed to a liquid crystal cell is shown in drawing 23. In drawing 22 (a) mentioned above, it turns out that the line inversion of two line G3 of middle of the screen and G0' has not been carried out correctly. Then, the line of electric force made around the liquid crystal cell connected to gate line G3 and G0' differs from it of other liquid crystal cells.

Since a liquid crystal cell is a picture element using the molecule of a liquid crystal material turning to the direction of line of electric force, this is fatal. That is, this also becomes a cause which becomes bright or dark only two lines of a center.

[0089]Just before, beginning to charge the liquid crystal cell on G1 for example, immediately after finishing charging the liquid crystal cell on the gate line G0 of drawing 18, the liquid crystal cell on G0 and the liquid crystal cell on G1 are charged in the same polarity. However, if one horizontal cycle also passes since this time, the liquid crystal cell on G1 will be charged by the liquid crystal cell and reverse polarity on G0. Such abnormalities caused temporarily do not become the fault which is a foregone conclusion.

[0090]On the other hand, it is not temporary in the abnormalities of (a) of above-mentioned drawing 22. Both liquid crystal cells connected to adjacent gate line G3 and G0' are charged by the same polarity, and, moreover, there is a cause of fault in the state continuing for a long period of time.

[0091]Drawing 22 (b) charges the liquid crystal cell on gate line G3 and G0' with different polarity. In this case, it is necessary to supply the square wave from which a phase differs in the common electrode in the upper half of a liquid crystal panel ((7) of drawing 20), and the common electrode ((7') of drawing 20) of a lower half. Therefore, this method cannot be used if between the common electrodes of two upper and lower sides has connected too hastily. However, a cost hike will be caused, if it tries to separate two common electrodes electrically as already stated.

[0092]The method of driving the source driver (2) and (2') of drawing 20 with different power supply voltage is also considered. However, the problem of a new cost hike -- the level shifter of a digital signal is needed in that case between a control circuit (4) and a source driver (2) or between (4') and (2') -- or reliability occurs.

[0093]Of course, the simple and clear solution of this 2nd problem adopts a common direct-current drive system obediently. However, this method causes an increase and cost hike of the power consumption of a source driver. It is not preferred on a design to drive specially the thin liquid crystal panel of the necessity for dot inversion with the source driver of a common direct-current drive in respect of cost performance.

[0094]This invention is made in view of this situation. That is, even if it makes reverse the scanning direction an upper half and in the lower half of a screen, highly minute LCD of the division scanning mode which a luminescent line or a dark line does not run in the center is provided.

[0095]

[Means for Solving the Problem]This invention consists of following means in order to solve the above-mentioned technical problem. Two or more 1st signal wires that a dot-matrix display of claim 1 was prolonged perpendicularly, and were allocated in parallel, Extend horizontally, provide two or more 2nd signal wires allocated in parallel, and a picture element electrode is provided in each intersection of these 1st and 2nd signal wire via a selection element, respectively, In a dot-matrix display which displays by carrying out selection driving of this picture element electrode, While forming two or more viewing areas which divided perpendicularly two or more 1st signal wire of the above into division into equal parts in parallel with the 2nd signal wire of the above, and divided two or more display screens into division into equal parts in a sliding direction and scanning the 2nd signal wire for every above-mentioned viewing area in the same time zone, Two or more scanning circuits corresponding to each above-mentioned viewing area which scans substantially the 2nd signal wire located in a boundary part of the adjoining above-mentioned viewing area to the same timing are provided, According to the number of partitions of the above-mentioned viewing area, time-axis extension of the status signal was carried out, and two or more signal supply circuits corresponding to each above-mentioned viewing area which supplies a status signal corresponding to each divided above-mentioned viewing area which carried out time-axis extension to the 1st divided signal wire of each above-mentioned viewing area were provided.

[0096]In a dot-matrix display of claim 1 a dot-matrix display of claim 2, The above-mentioned scanning circuit each 2nd signal wire in a boundary part of a viewing area which adjoins among two

or more above-mentioned viewing areas, It scans as the starting point of scanning timing of each frame of the above-mentioned adjoining viewing area, and is made to scan each 2nd signal wire in the direction estranged from the above-mentioned boundary part one by one.

[0097]In a dot-matrix display of claim 1, a dot-matrix display of claim 3 the above-mentioned scanning circuit, A scan of the 2nd signal wire in a boundary part of a viewing area which adjoins among two or more above-mentioned viewing areas, It scans as a terminal point of timing of a scan of each frame of the above-mentioned adjoining viewing area, and is made to scan each 2nd signal wire from a position estranged from the above-mentioned boundary part one by one in the direction of a boundary part.

[0098]Two or more 1st signal wires that a dot-matrix display of claim 4 was prolonged perpendicularly, and were allocated in parallel, Extend horizontally, provide two or more 2nd signal wires allocated in parallel, and a picture element electrode is provided in each intersection of these 1st and 2nd signal wire via a selection element, respectively, In a dot-matrix display which displays by carrying out selection driving of this picture element electrode, Two or more 1st signal wire of the above is perpendicularly divided into division into equal parts in parallel with the 2nd signal wire of the above, Two or more viewing areas which divided two or more display screens into division into equal parts in a sliding direction are formed, Two or more scanning circuits provided corresponding to two or more above-mentioned viewing areas which scan the 2nd signal wire for every above-mentioned viewing area to a direction estranged more nearly mutually than a boundary part of an adjoining viewing area, or its opposite direction, A Vertical Synchronizing signal generation circuit which outputs a Vertical Synchronizing signal with which phases differ to two or more above-mentioned scanning circuits, Two or more signal supply circuits corresponding to each above-mentioned viewing area simultaneously supplied to the 1st signal wire of each above-mentioned viewing area which carried out time-axis extension of the status signal according to the number of partitions of the above-mentioned viewing area, and divided a status signal corresponding to each divided above-mentioned viewing area which carried out time-axis extension, A frame inverting circuit which writes a signal given to each picture element corresponding to the above-mentioned picture element electrode in different polarity for every one vertical periods or two or more vertical periods was provided.

[0099]A time lag between two or more Vertical Synchronizing signals with which phases which a dot-matrix display of claim 5 generates in a dot-matrix display of claim 4 in the above-mentioned Vertical Synchronizing signal generation circuit differ is characterized by being an integral multiple of a horizontal cycle.

[0100]A time lag between two or more Vertical Synchronizing signals with which phases which a dot-matrix display of claim 6 generates in the dot-matrix display according to claim 4 in the above-mentioned Vertical Synchronizing signal generation circuit differ is characterized by being odd times the horizontal cycle.

[0101]In a dot-matrix display of claims 4 thru/or 6 a dot-matrix display of claim 7, Phase contrast between two or more Vertical Synchronizing signals with which phases generated in the above-mentioned Vertical Synchronizing signal generation circuit differ is set up so that a vertical-retrace-line period of a Vertical Synchronizing signal corresponding to an adjoining viewing area may overlap.

[0102]The 2nd signal wire in which a dot-matrix display of claim 8 is located in both viewing areas of a boundary part of the above-mentioned adjoining viewing area in a dot-matrix display of claims 4 thru/or 7 was made not to be scanned simultaneously.

[0103]In the dot-matrix display according to claim 4 to 8 a dot-matrix display of claim 9, Time when a picture element connected to the 2nd signal wire located in both viewing areas of a boundary part of the above-mentioned adjoining viewing area is written in like-pole nature is characterized by being shorter than time currently written in reverse polarity.

[0104]A dot-matrix display of claim 10 is characterized by the above-mentioned selection element

being an active device provided between each picture element which comprises an above-mentioned picture element electrode, and the 1st corresponding signal wire in a dot-matrix display of claims 1 thru/or 9.

[0105]A dot-matrix display of claim 11 is characterized by the above-mentioned active device being an amorphous silicon thin film transistor in a dot-matrix display of claim 10.

[0106]An end of each picture element by which a dot-matrix display of claim 12 is constituted from an above-mentioned picture element electrode in a dot-matrix display of claims 1 thru/or 11 is connected to a common electrode which comprises plate conducting of one sheet.

[0107]Rectangular wave shape voltage to which a dot-matrix display of claim 13 synchronized with the above-mentioned common electrode in a dot-matrix display of claim 12 at a Vertical Synchronizing signal and/, or a Horizontal Synchronizing signal is impressed.

[0108]Two or more signal supply circuits where a dot-matrix display of claim 14 supplies a signal level to the 1st signal wire of the above in a dot-matrix display of claim 13, a swing of voltage required in order to write each picture element which comprises an above-mentioned picture element electrode in positive/negative two poles -- at most -- it is characterized by being a circuit with one half of dynamic ranges.

[0109]It is characterized by a picture element by which a dot-matrix display of claim 15 is constituted from an above-mentioned picture element electrode in a dot-matrix display of claims 1 thru/or 14 being a liquid crystal cell.

[0110](OPERATION) A display cell which adjoins each other on a boundary of the 1st signal wire divided by controlling an order which scans a selection element according to composition of claim 1 becomes the same on an up-and-down boundary where influence are influenced by the 1st signal wire that will adjoin by the time a liquid crystal cell charged once is charged in the next field was divided, in order to charge a signal to the same timing. Therefore, luminance difference of a dividing boundary part of the 1st signal wire is cancelable.

[0111]Since according to composition of claim 2 a top [ lower ] passes through an upper screen from a boundary part of a display screen divided up and down and a lower screen is scanned to the same timing below up, It is comparable, and fully charges, luminance difference does not arise in a dividing boundary part located in a middle-of-the-screen part, and, moreover, luminance difference between other fields by insufficient charging does not produce each display cell of a scanning line which adjoins by the above-mentioned boundary part.

[0112]Since according to composition of claim 3 it passes through an upper screen under from up from a boundary part of a display screen divided up and down and a lower screen is scanned to the same timing above lower, each liquid crystal cell of a scanning line which adjoins by the above-mentioned boundary part is charged to the same extent. Therefore, luminance difference is not produced in this boundary part. Since charging time becomes short, luminance difference between other fields produces somewhat a display cell of a scanning line which adjoins by the above-mentioned boundary part, but. Since both display cells of a upper-and-lower-ends part of a screen, i.e., an upper bed part of an upper screen, and a lower end part of a lower screen are charged enough, luminance difference between other fields in a upper-and-lower-ends part of a screen does not arise.

[0113]According to composition of claims 4 thru/or 15, a Vertical Synchronizing signal has set up a phase of a video signal supplied to a display screen divided up and down so that only an integral multiple of 1 horizontal synchronization period may shift. therefore, a scanning line of an end of both screens that adjoin by a boundary part of up-and-down both the above-mentioned screens is not scanned simultaneously, and a phase can be shifted moderately -- it can be made to \*\*\*\*\* A common electrode can consist of electrodes of one sheet which impress a pulse which was level as for a video signal, or synchronized with a Vertical Synchronizing signal. While being able to control deterioration of display quality of a display screen which it was lost to a scanning line of an end of both screens that adjoin by a boundary part of up-and-down both the above-mentioned screens

that luminance difference arises, and was divided into it up and down by this, A dynamic range of a signal supply circuit which drives the 1st signal wire can be set to one half of voltage required for a display picture element.

[0114] Since it is made to perform frame reversal in a period on which this vertical-retrace-line period has fallen as a vertical-retrace-line period of a video signal of up-and-down both screens fell, a luminescent line or a dark line of a scan line accompanying frame reversal do not occur.

[0115] Since a gap of a Vertical Synchronizing signal supplied to both the above-mentioned screens is set up by odd times the 1 horizontal synchronization period, It is lost that a picture element connected to a scanning line of an end of both screens that adjoin by a boundary part of up-and-down both screens is charged by like-pole nature, and degradation of a display picture element which comprises a capacitive load, especially a liquid crystal cell can be prevented.

[0116] Since a phase shift of both the above-mentioned Vertical Synchronizing signals is set up so that a direction of time to write a picture element connected to a scanning line of an end of both screens that adjoin by a boundary part of up-and-down both the above-mentioned screens in reverse polarity from time to write in like-pole nature may become long, degradation of a display picture element which comprises a liquid crystal cell can be prevented.

[0117] Since a selection element which chooses a picture element electrode provided in an exchange section of the 1st and 2nd signal wires is used as an active device constituted from TFT etc. which comprise an amorphous silicon or polysilicon, it can obtain a dot-matrix display which is a high speed and was excellent in contrast.

[0118]

#### [Embodiment of the Invention]

(Embodiment 1) With regards to claims 1, 2, 10, 11, 12, 13, 14, and 15, this Embodiment 1 divides two or more display screens up and down, and the bottom passes through an upper screen from a top, and it scans a lower screen simultaneously upwards from the bottom, and abolishes the luminance difference in a dividing boundary part. The 1st signal wire that supplies a status signal is divided into two, and the example at the time of dividing into two up and down is explained to a display screen.

[0119] Drawing 1 is a lineblock diagram of this Embodiment 1. As shown in drawing 1, extend perpendicularly, and two or more 1st signal wires allocated in parallel are divided perpendicularly at S1-Sm, S1' - Sm', The switching elements M11-Mnm which consist of N channel FET which connected the end are formed in the intersection of the 1st signal wire S1-Sm, S1' - Sm', and the 2nd signal wire G1-Gn for this the division of every, Scanning signal VG1 - VGn/2, and VGn-VG (n/2)+1 are supplied to these switching elements M11-Mnm according to the scanning direction D1 and D2' from a gate driver (3) and (3'). The other end of the switching elements M11-Mnm is connected to a counterelectrode COM terminal (7) through the liquid crystal cells C11-Cnm, respectively.

[0120] To the source driver (2) and (2'), by control and a power supply circuit (4) The first half of a screen, As the status signal which was able to be distributed in the second half is supplied and the status signal corresponding to the 2nd signal wire chosen shows the timing chart of drawing 2, HS1' - HSm' are outputted by HS1-HSm, and the source driver (2') from a source driver (2).

[0121] A gate driver (3) an order which scans the selection element of a gate driver (3) and (3') in order of VG1 ->VGn/2 a gate driver (3'), By scanning in order of VGn->VG (n/2)+1, the liquid crystal cell C (n/2)-1 of a dividing boundary part - C(n/2) -m, and C[(n/2) +1] and 1 - C[(n/2) +1] and m will be charged to the same timing. Thereby, the influence the liquid crystal cell described above is influenced by the 1st signal wire becomes the same in the liquid crystal cell C (n/2)-1 - C(n/2) -m, and C[(n/2) +1] and 1 - C[(n/2) +1] and m. Therefore, the luminance difference of the dividing boundary part of the 1st signal wire is cancelable.

[0122] Since the liquid crystal cell C (n/2)-1 of a dividing boundary part - C(n/2) -m, and C[(n/2) +1] and 1 - C[(n/2) +1] and m are charged to the same timing as mentioned above according to this embodiment, luminance difference is lost in this dividing boundary part, but. Since it is discharged

promptly and a recharge becomes the last of the next vertical period after these liquid crystal cells are charged by the last of one vertical period, compared with the liquid crystal cell of other horizontal lines, luminosity may fall somewhat. This has left the problem that it may appear as a grayish disk with low luminosity compared with other horizontal lines to the above-mentioned dividing boundary part, when a black solid display is made to perform.

[0123]Although a display screen is divided into two up and down, the embodiment shown in drawing 1 can be similarly carried out, when dividing more than one. Although the liquid crystal display is illustrated as a dot-matrix display, in other displays which are picture elements with a capacitive display cell, it can carry out similarly. About the composition of a well-known portion, explanation is omitted as conventional technology of the illustrated liquid crystal display. These are the same in explanation of each following embodiment.

[0124](A 2nd embodiment) With regards to claims 1, 3, 10, 11, 12, 13, 14, and 15, this Embodiment 2 divides two or more display screens up and down, and a top passes through an upper screen from the bottom, and it scans a lower screen from a top to the bottom, and abolishes the luminance difference in a dividing boundary part. The composition of this Embodiment 2 is the same except for the composition of a gate driver (3) and (3') compared with the composition of Embodiment 1 shown in drawing 1.

[0125]If it explains using drawing 1, will extend perpendicularly and two or more 1st signal wires allocated in parallel will be divided perpendicularly at S1-Sm, S1' – Sm', The switching elements M11-Mnm which consist of N channel FET which connected the end are formed in the intersection of the 1st signal wire S1-Sm, S1' – Sm', and the 2nd signal wire G1-Gn for this the division of every. A scanning signal is supplied to these switching elements M11-Mnm at scanning signal VG1 from a gate driver (3) and (3') – VGn/2, and VGn-VG (n/2)+1.

[0126]D1 in the case of Embodiment 1 which the scanning direction of this scanning signal mentions above, and D2' are D2 for reverse, and D1', a gate driver (3) scans the 2nd signal wire in the direction of Gn/2 →G1, and a gate driver (3') is scanned in the direction of 2nd signal wire G(n/2)+1 →Gn. The other end of the switching elements M11-Mnm is connected to a counterelectrode COM terminal (7) through the liquid crystal cells C11-Cnm, respectively.

[0127]To the source driver (2) and (2'), by control and a power supply circuit (4) The first half of a screen, The status signal which was able to be distributed in the second half is supplied, the status signal corresponding to the 2nd signal wire chosen is outputted from a source driver (2), and HS1' – HSm' are outputted from HS1-HSm, and a source driver (2'). An order which scans the selection element of a gate driver (3) and (3'), As shown in drawing 3, the gate line of the gate driver (3) which scans the screen driven with a source driver (2) is scanned in order of G3→G2 →G1 →G0, The gate line of the gate driver (3') which scans the screen driven with a source driver (2') is scanned in order of G0'→G1'→G2'→G3'.

[0128]By performing the above scans, the liquid crystal cell C (n/2)-1 of a dividing boundary part – C(n/2) -m, and C[(n/2) +1] and 1 – C[(n/2) +1] and m will be charged to the same timing. Thereby, the influence the liquid crystal cell described above is influenced by the 1st signal wire becomes the same in the liquid crystal cell C (n/2)-1 – C(n/2) -m, and C[(n/2) +1] and 1 – C[(n/2) +1] and m. Therefore, the luminance difference of the dividing boundary part of the 1st signal wire is cancelable.

[0129]In this Embodiment 2, the liquid crystal cell C (n/2)-1 of a dividing boundary part – C(n/2) -m, and C[(n/2) +1] and 1 – C[(n/2) +1] and m to the same timing And since [ being enough ] time charge is carried out, There is no possibility that the inclination of contrast for the above-mentioned liquid crystal cell of the dividing boundary part described by Embodiment 1 mentioned above to become shorter than the liquid crystal cell of other portions in charging time may produce. However, it is an upper bed part of the screen of an upper half, and a lower end part of the screen of a lower half in this case, and there is a possibility that the inclination of contrast as shown in drawing 4 may produce. The inclination of this contrast does not appear in the joint of a screen, but since there is

no fall of the contrast of the center section of the frequently-used screen, it is easy to use.

[0130](Embodiment 3) This Embodiment 3 gives phase contrast to a scanning signal with regards to claims 4 thru/or 15 on the screen which divides a display screen into plurality up and down, and adjoins, and abolishes the luminance difference in a dividing boundary part.

[0131]The example at the time of dividing into two the 1st signal wire that supplies a status signal, and dividing a display screen into two up and down is explained.

[0132]The composition of this Embodiment 3 is shown in drawing 5. In drawing 5, the same numerals are given to the portion corresponding to drawing 1 in which the composition of Embodiments 1 and 2 mentioned above is shown, and explanation is omitted. Based on the video signal from a video signal source (20), the point that drawing 5 is different from drawing 1, The video signal which is two from which the phase of the Vertical Synchronizing signal shifted in the control circuit (21) using the memory (22) is made, Dividing these two video signals into a video signal and a synchronized signal in control and the power supply circuit (40) and (40'), respectively, it passes (2') and video signals are the source driver (2) and supplying the synchronized signal to the gate driver (3) and (3'), respectively, respectively.

[0133]In this case, the scanning direction of up-and-down both the screens by the gate driver (3) of this embodiment and (3') may be which direction shown in Embodiments 1 and 2 mentioned above. namely, a gate driver (3) and (3') -- the 2nd signal wire -- G1→Gn/2, and Gn→G(n/2)+1 -- or it scans in the direction of Gn/2→G1, and G(n/2)+1 →Gn. However, by giving phase contrast to both the Vertical Synchronizing signals of the video signal of both the above-mentioned screens, both scanning signal VG1-VGn/2 from which the phase shifted, VG(n/2)+1 - VGn are made, and the above-mentioned scan of up-and-down both screens is performed by this scanning signal.

[0134]Hereafter, this Embodiment 3 is described using drawing 6. Drawing 6 shows the timing of each synchronized signal in a common direct-current drive system, and the output voltage of a source driver. The Vertical Synchronizing signal (Vsync's reaching respectively Vsync') with which phases differ in control and the power supply circuit (40) and (40') of drawing 5 so that it may mention above is inputted. That is, the Vertical Synchronizing signal inputted into a control circuit (40') and the video signal are behind it which is inputted into a control circuit (40) 2 level circumference terms. For this reason, gate line G3 and G0' are not scanned simultaneously. Since it is an example of a common direct-current drive system, even if this short-circuits the common electrode in the upper half of a liquid crystal panel, and the common electrode of a lower half, it is satisfactory.

[0135]By the way, in the grade which gave the time lag of 1 or 2 horizontal cycles, the luminescent line and dark line of middle of the screen may not be canceled. Next, it explains what time lag is given to two Vertical Synchronizing signals. In the case of LCD of the common direct-current drive system of this embodiment, since the potential of a common electrode is constant, it is dramatically easy. There is no restriction in particular in the phase contrast of Vsync and Vsync'. It is satisfactory even if one horizontal cycle shifts what time. It may not be an integral multiple of one horizontal cycle.

[0136]When extreme, 180 degrees of phases of Vsync and Vsync' may be shifted. since 1600 figures of width x length [ of 600 lines ] x up-and-down 2 screen is constituted if it is LCD of the division scanning mode of U-XGA -- Vsync and Vsync' -- 300 times of one horizontal cycle -- it may shift . If the phase contrast of Vsync and Vsync' shall be \*\*180 degrees, the evil by the gate line which the gate driver (3) of drawing 5 scans, and the gate line which a gate driver (3') scans at the same time existing in point-blank range physically will be eased to the maximum extent.

[0137]However, there is a possibility of causing deterioration of the display quality by another cause, at this time. Time after charging the liquid crystal cell on gate line G3 until it charges the liquid crystal cell on gate line G0', and time after charging the liquid crystal cell on G0' until it charges the liquid crystal cell on G3 become almost equal. That is, the time when the liquid crystal cell on G3 and the liquid crystal cell on G0' are charged in the same polarity, and time electrified in different

polarity become equal. For this reason, the liquid crystal cell on adjoining gate line G3 and G0' will be charged in the polarity with same half of one vertical period. And the display failure resulting from neglecting it for a long period of time, charging the liquid crystal cell on an adjoining gate line with the same polarity comes out.

[0138]If the phase contrast of Vsync and Vsync' is 0 <sup>degree</sup>, it is got blocked, and in being Embodiment 1 or 2, the influence on display quality completely becomes the opposite. That is, the evil by scanning the gate line of point-blank range simultaneously becomes large, and the evil by electrifying the gate line of point-blank range in the same polarity for a long time becomes small. [0139]therefore, when carrying out this invention, the phase contrast of Vsync and Vsync' should just choose the optimal thing out of the value which does not come out 0 <sup>degree</sup> at less than more than -180 <sup>degree</sup> 180 <sup>degree</sup>. It depends for the optimum value on the design of the liquid crystal panel to drive.

[0140]According to this Embodiment 3, as shown in drawing 6, the gate line G1 and G0' are scanned simultaneously. The distance between the two gate lines is three lines. Although G0 and G1' are also scanned simultaneously, since the distance is five lines, a direction when scanning two here has a large margin. There is time to charge the drain electrode D30 and D00' in the same polarity 2 level circumference terms per one vertical period. On the contrary, being charged in different polarity is 4 level circumference terms per one vertical period.

[0141](Embodiment 4) Although this Embodiment 4 divides two or more display screens up and down, and gives phase contrast to a scanning signal on an adjoining screen like Embodiment 3 mentioned above with regards to claims 4 thru/or 15 and the luminance difference in a dividing boundary part is abolished, Embodiment 3 is a thing when this Embodiment 4 carries out inversion driving of the common electrode to making a common electrode a direct-current drive.

[0142]Since it is substantially the same, the composition of the display panel of this Embodiment 4 is explained to be Embodiment 3 mentioned above using drawing 5.

[0143]Drawing 7 shows the timing of each synchronized signal in the common inversion driving method used for this Embodiment 4, the output voltage of a source driver, and the waveform of the square wave impressed to a common electrode.

[0144]The Vertical Synchronizing signal inputted into control and the power supply circuit (40') of drawing 5 and the video signal are behind it which is inputted into control and a power supply circuit (40) 1 level circumference term. For this reason, gate line G3 and G0' are not scanned simultaneously. Since it is the same as it of a lower half, even if the phase of the square wave supplied to the common electrode in the upper half of a liquid crystal panel short-circuits the common electrode of two upper and lower sides, it is satisfactory.

[0145]Also in this Embodiment 4, the case where the luminescent line or dark line of middle of the screen are not canceled can be considered according to the grade which gave the time lag of 1 or 2 horizontal cycles to the scan of gate line G3 and G0'. Next, it explains what time lag is given by above-mentioned two Vertical Synchronizing signal VG3 and VG0'.

[0146]Supposing the common electrode of a screen upper half and a lower half has not short-circuited in the case of LCD of a common inversion driving method, it can be considered the case where it is a common direct-current drive, the same way. Here, both assume that it has connected too hastily.

[0147]First, the time lag of Vsync and Vsync' must be an integral multiple of one horizontal cycle. When reversing the polarity of the output voltage of a source driver, it is because the potential of a common electrode must also be reversed.

[0148]As shown in drawing 7, a part of vertical-retrace-line period of Vsync and a part of vertical-retrace-line period of Vsync' must lap. And Vsync and Vsync' must also choose the time of entering during the retrace line at its own discretion, and must carry out field reversal. It is because there is a possibility that the line under scan may serve as a luminescent line and a dark line, and may appear when reversed when field reversal is carried out during a vertical display period. In order for

the upper half of a screen and a lower half to carry out field reversal during the vertical retrace line, the moment Vsync and Vsync' enters during the vertical retrace line simultaneously is indispensable.

[0149]In order to charge polarity which is different in the liquid crystal cell on adjoining gate line G3 and G0', the time lag of Vsync and Vsync' must be odd times the one horizontal cycle. Since the liquid crystal cell on gate line G3 which adjoins that a time lag is even times, and G0' is charged by like-pole nature, it is not desirable. Since it is not necessary to reverse the potential of a common electrode as it is LCD of the common direct-current drive system in the case of Embodiment 3 mentioned above, it is not necessary to take the above conditions into consideration. Since voltage which is different to both can be impressed when the common electrode of the screen of an upper half and a lower half has not short-circuited, it is not necessary to take the above conditions into consideration too.

[0150]In this Embodiment 4 shown in drawing 7, since there are only vertical-retrace-line periods of only two horizontal cycles, if it tries to fulfill said conditions, it will become a quite stiff design. However, since about several ten horizontal cycle of vertical-retrace-line periods usually exist, room to choose phase contrast is left behind considerably actually. In almost all cases, under said condition, the phase contrast to which the image quality demanded is satisfied can be found.

[0151]In this embodiment, although the control and the power supply circuit (40) and (40') which are shown in drawing 5 are divided into two, they may summarize these to the same IC package, and may make them on the same IC chip. Since it is easy, it is [ to transmit one of the two to LCD from a video signal source ] good to also make another side from one side of Vsync and Vsync' at a counter etc. In addition, it is with the drive circuit of an upper half, and it of a lower half, and, as for circuits which can be shared, such as a reference voltage source for gamma compensation, using in common is preferred, for example.

[0152]

[Effect of the Invention]In the dot-matrix display which according to this invention divides the display screen constituted from a display picture element of the capacitive load up and down, and drives it simultaneously by line sequential scanning as explained above, The luminance difference of the adjoining scanning line by the side of the upper screen in the dividing boundary portion of up-and-down both the above-mentioned screens and a lower screen can be canceled, and a highly minute and high-definition display can be made to perform by controlling the scanning order foreword of the scanning line of up-and-down both sides.

[0153]By scanning an above top screen from a top to the bottom from the bottom to or a top, and scanning a lower screen upwards from the bottom for every frame of a video signal, from a top to or the bottom, Since the picture element of the scanning line with which up-and-down both the screens in the above-mentioned dividing boundary portion adjoin will drive on the same conditions about the charge and discharge of a signal, the luminance difference of both this adjoining scanning line can be canceled, and the display quality of the dividing boundary portion of up-and-down both screens can be raised.

[0154]Since the phase of the video signal which drives up-and-down both the above-mentioned screens can be shifted and it enables it to shift the timing which scans an upper screen, and the timing which scans a lower screen, The grade of the influence of stray capacitance which influences each display picture element can control generating of the luminescent line by only the scanning lines with which up-and-down both the screens in the above-mentioned dividing boundary portion adjoin differing, or a dark line, and can raise the display quality of the dividing boundary portion of up-and-down both screens.

[0155]By the ability to shift the timing which scans up-and-down both the above-mentioned screens only odd times of the horizontal synchronization signal of a video signal, Even when both the drivers that drive an upper screen and a lower screen output the same polar signal, the line inversion in every line can be adopted, it can be stabilized and improvement in the above-mentioned

display quality can be made to perform.

[Translation done.]

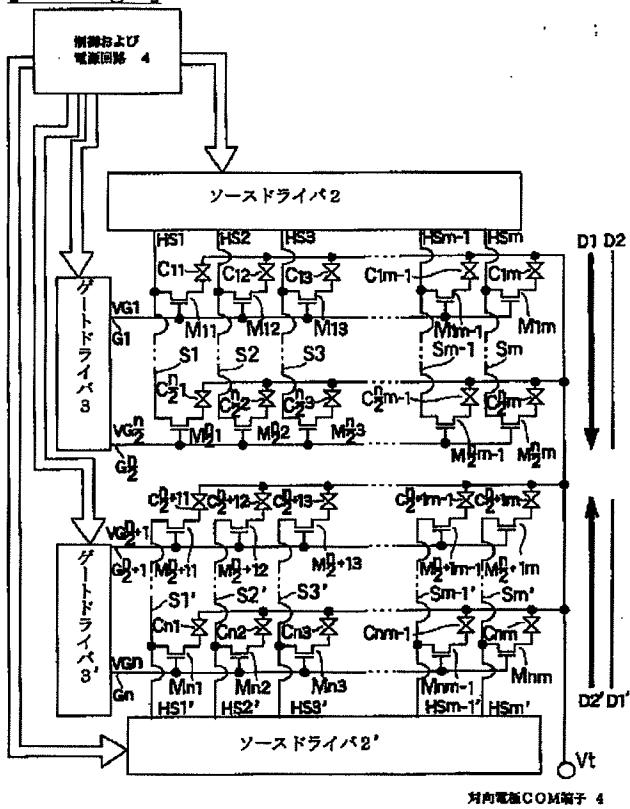
## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

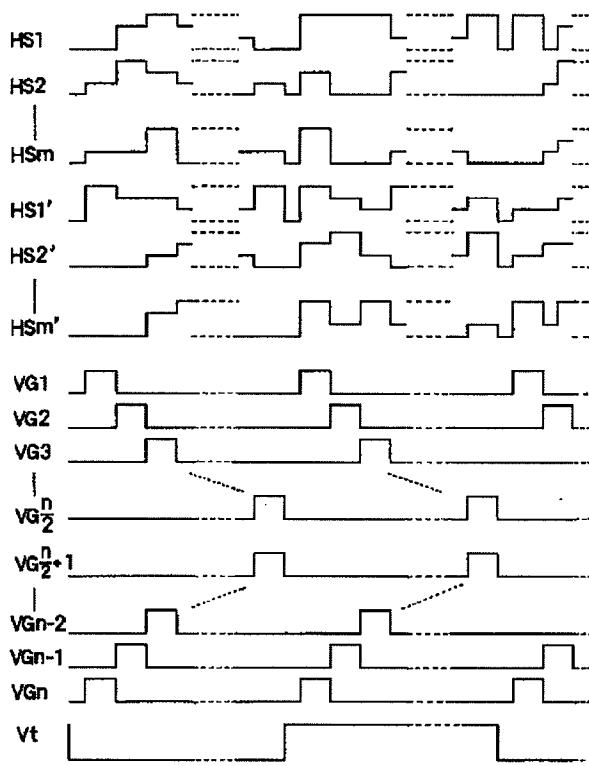
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

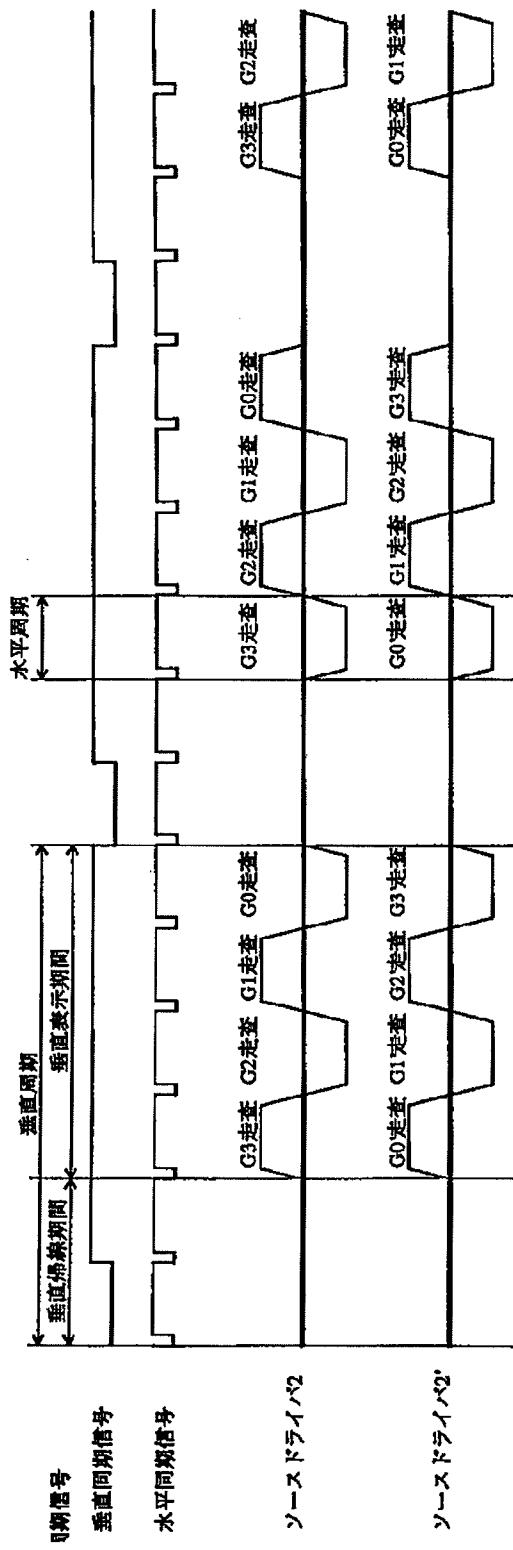
[Drawing 1]



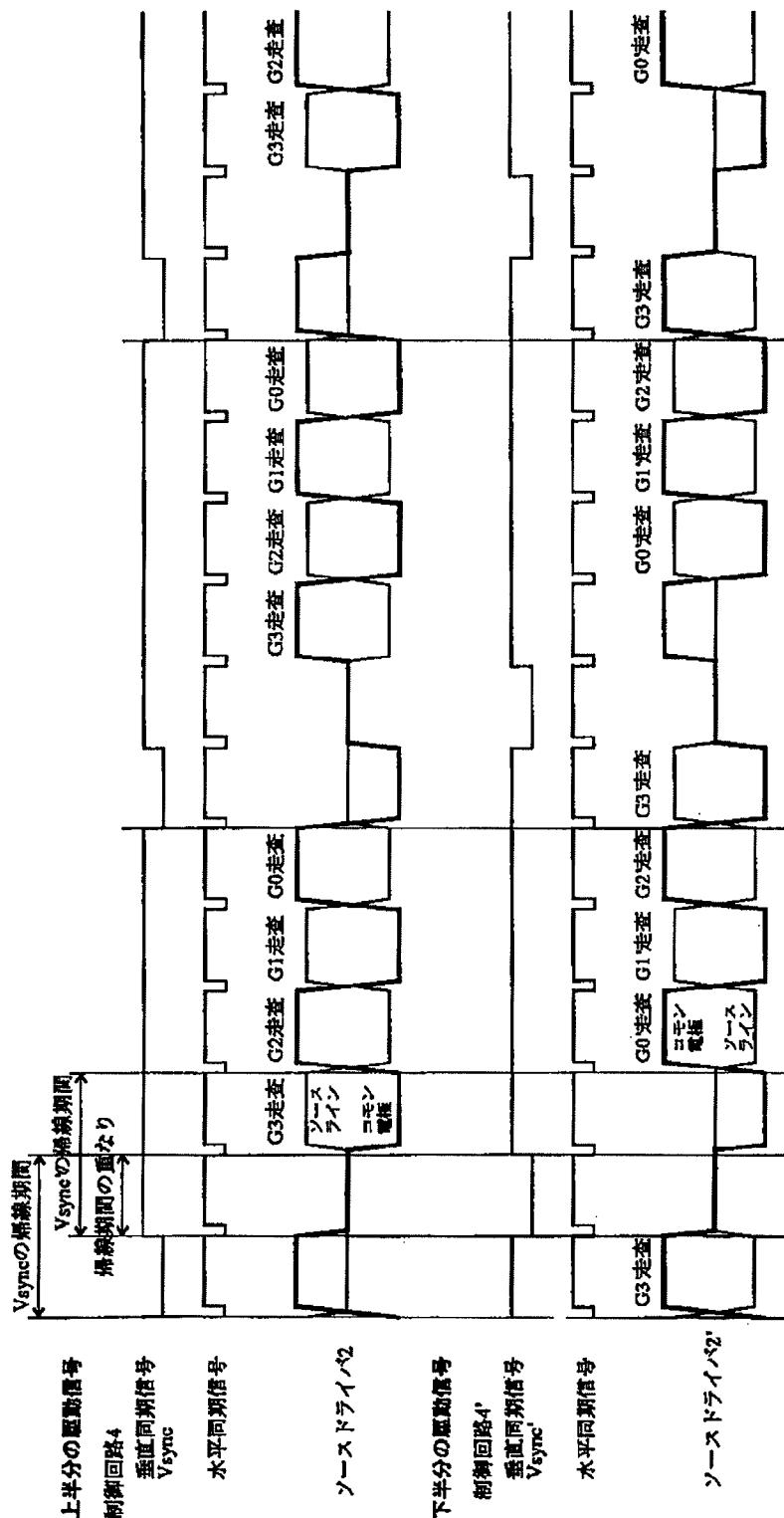
[Drawing 2]



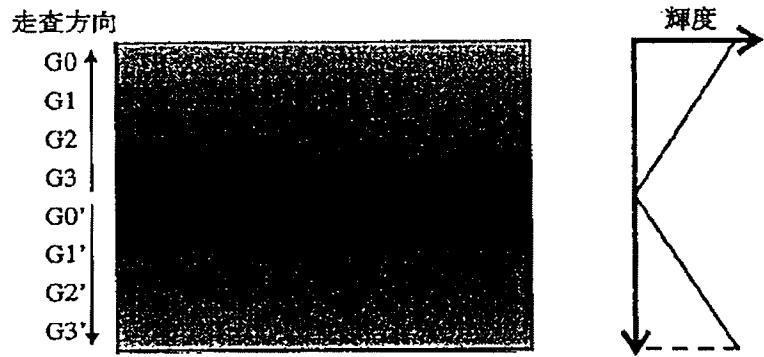
[Drawing 3]



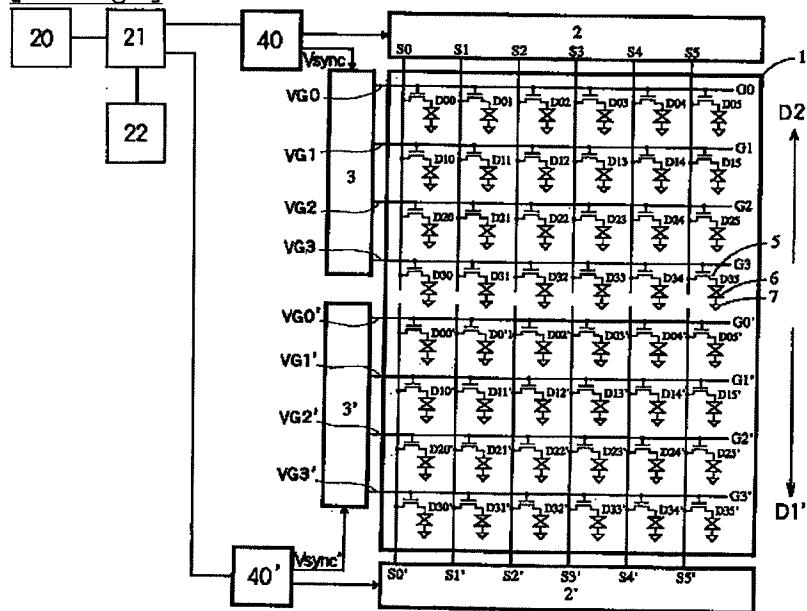
[Drawing 7]



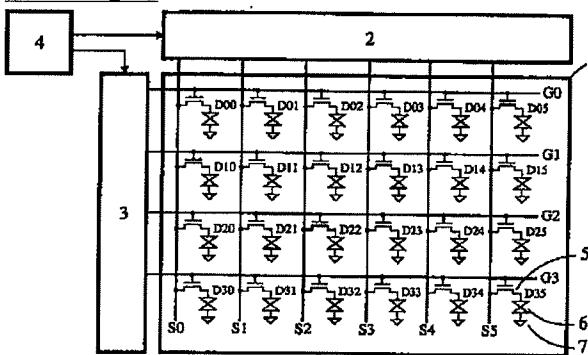
[Drawing 4]



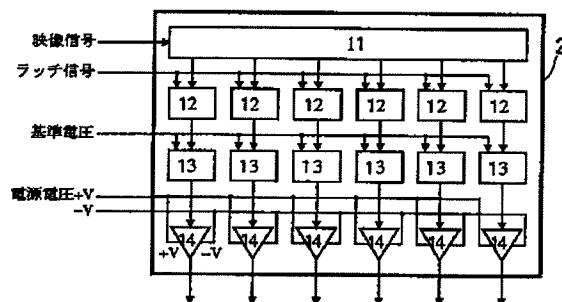
[Drawing 5]



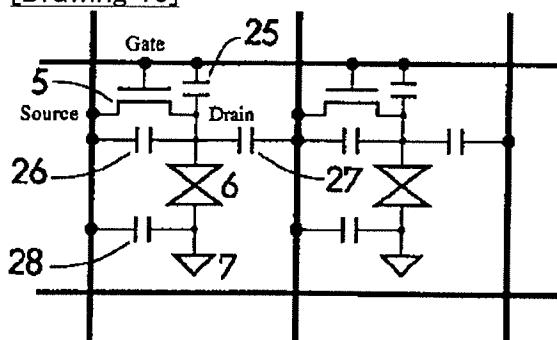
[Drawing 8]



[Drawing 9]



[Drawing 10]



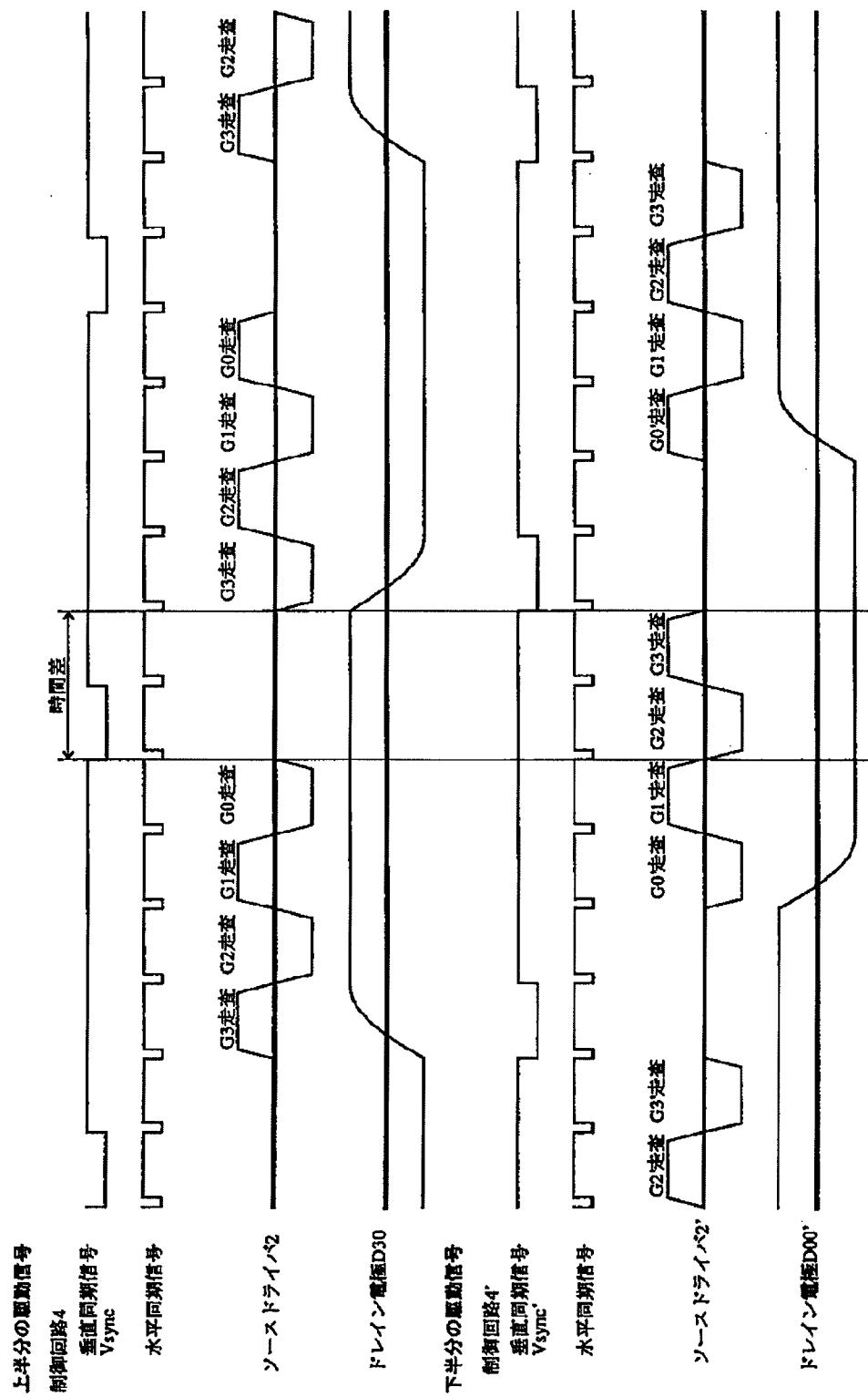
[Drawing 12]

D00 白	D01 白	D02 白	D03 白	D04 白	D05 白
D10 白	D11 白	D12 黒	D13 黒	D14 白	D15 白
D20 白	D21 白	D22 黒	D23 黒	D24 白	D25 白
D30 白	D31 白	D32 白	D33 白	D34 白	D35 白

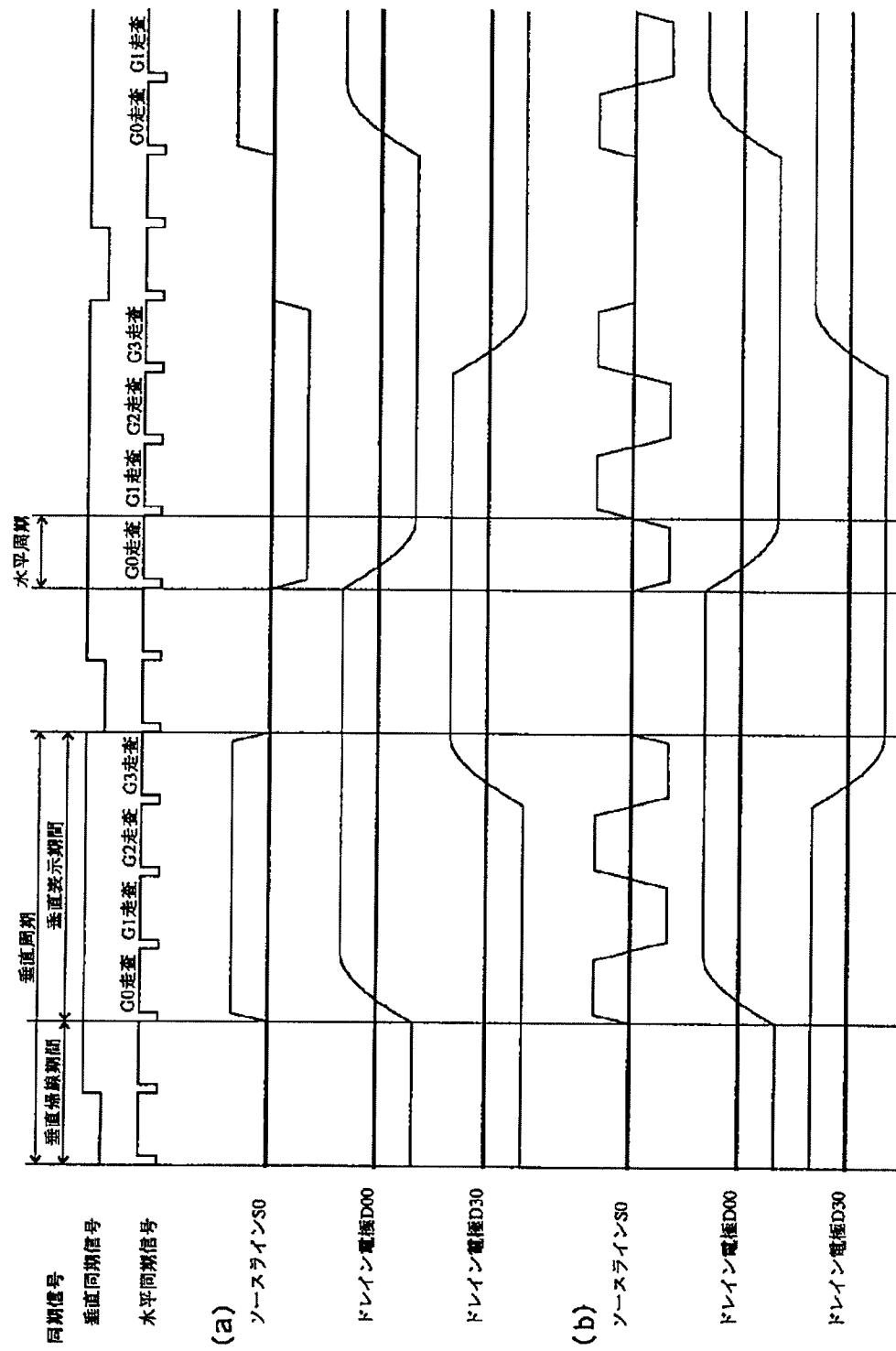
[Drawing 15]

白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白
白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白
白	黒	白	黒	白	黒	白	黒
黒	白	黒	白	黒	白	黒	白

[Drawing 6]



[Drawing 11]



[Drawing 13]

D00 白	D01 白	D02 灰	D03 灰	D04 白	D05 白
D10 白	D11 白	D12 黒	D13 黒	D14 白	D15 白
D20 白	D21 白	D22 黒	D23 黒	D24 白	D25 白
D30 白	D31 白	D32 灰	D33 灰	D34 白	D35 白

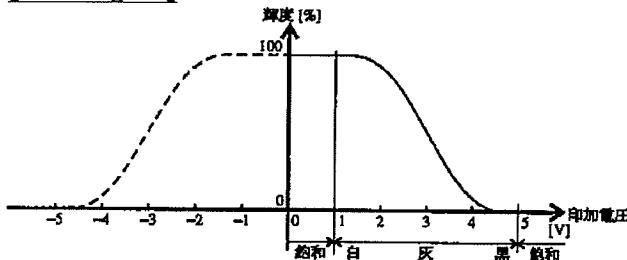
[Drawing 14]

D00 正	D01 負	D02 正	D03 負	D04 正	D05 負
D10 負	D11 正	D12 負	D13 正	D14 負	D15 正
D20 正	D21 負	D22 正	D23 負	D24 正	D25 負
D30 負	D31 正	D32 負	D33 正	D34 負	D35 正

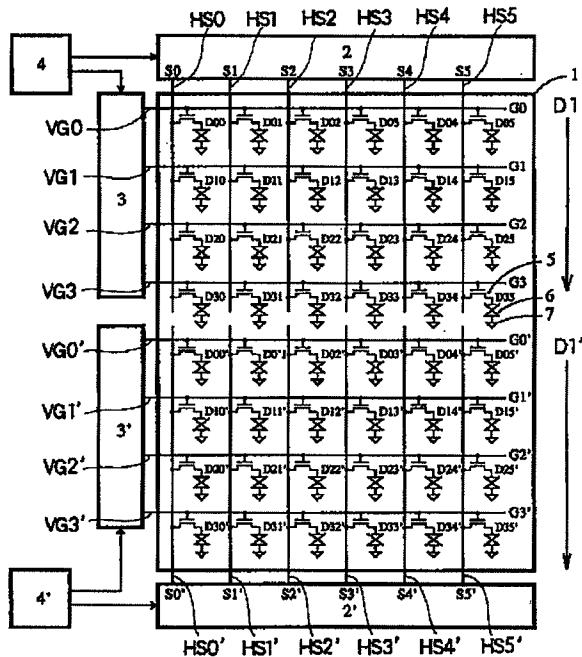
次のフレーム  
→  
← 次の次のフレーム

D00 負	D01 正	D02 負	D03 正	D04 負	D05 正
D10 正	D11 負	D12 正	D13 負	D14 正	D15 負
D20 負	D21 正	D22 負	D23 正	D24 負	D25 正
D30 正	D31 負	D32 正	D33 負	D34 正	D35 負

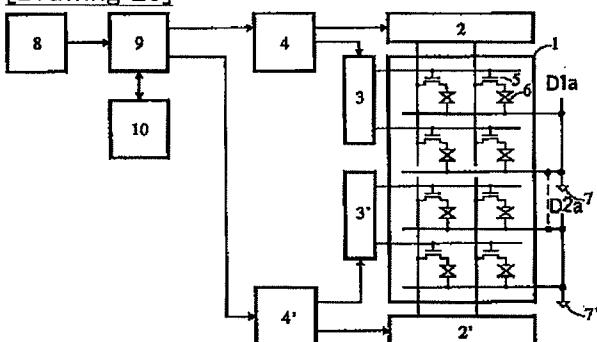
[Drawing 16]



[Drawing 18]

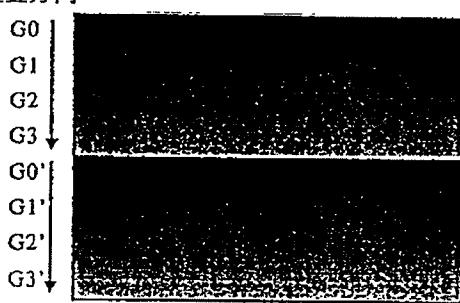


[Drawing 20]

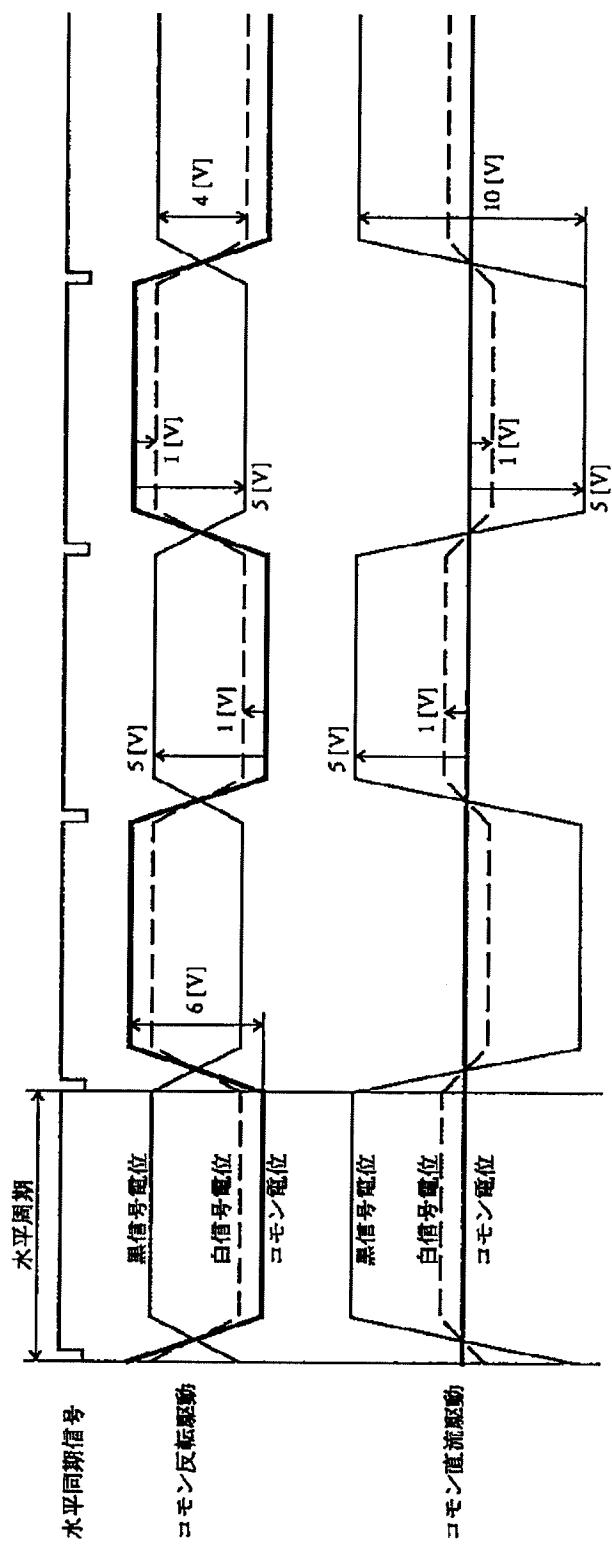


[Drawing 21]

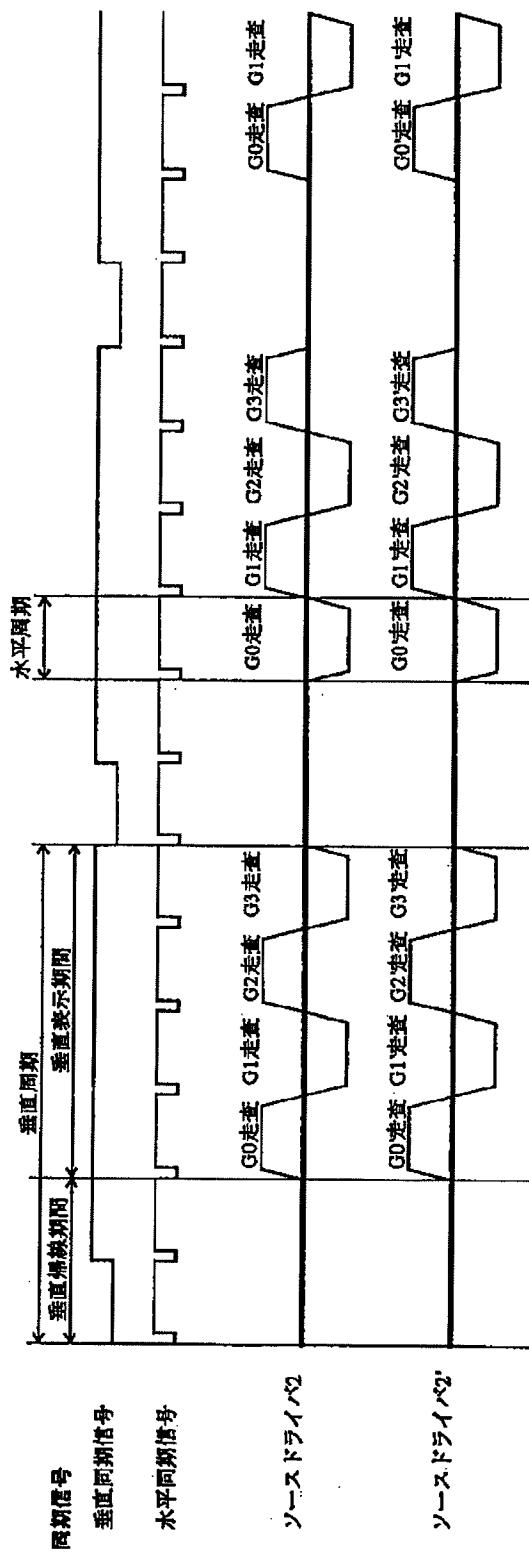
走査方向



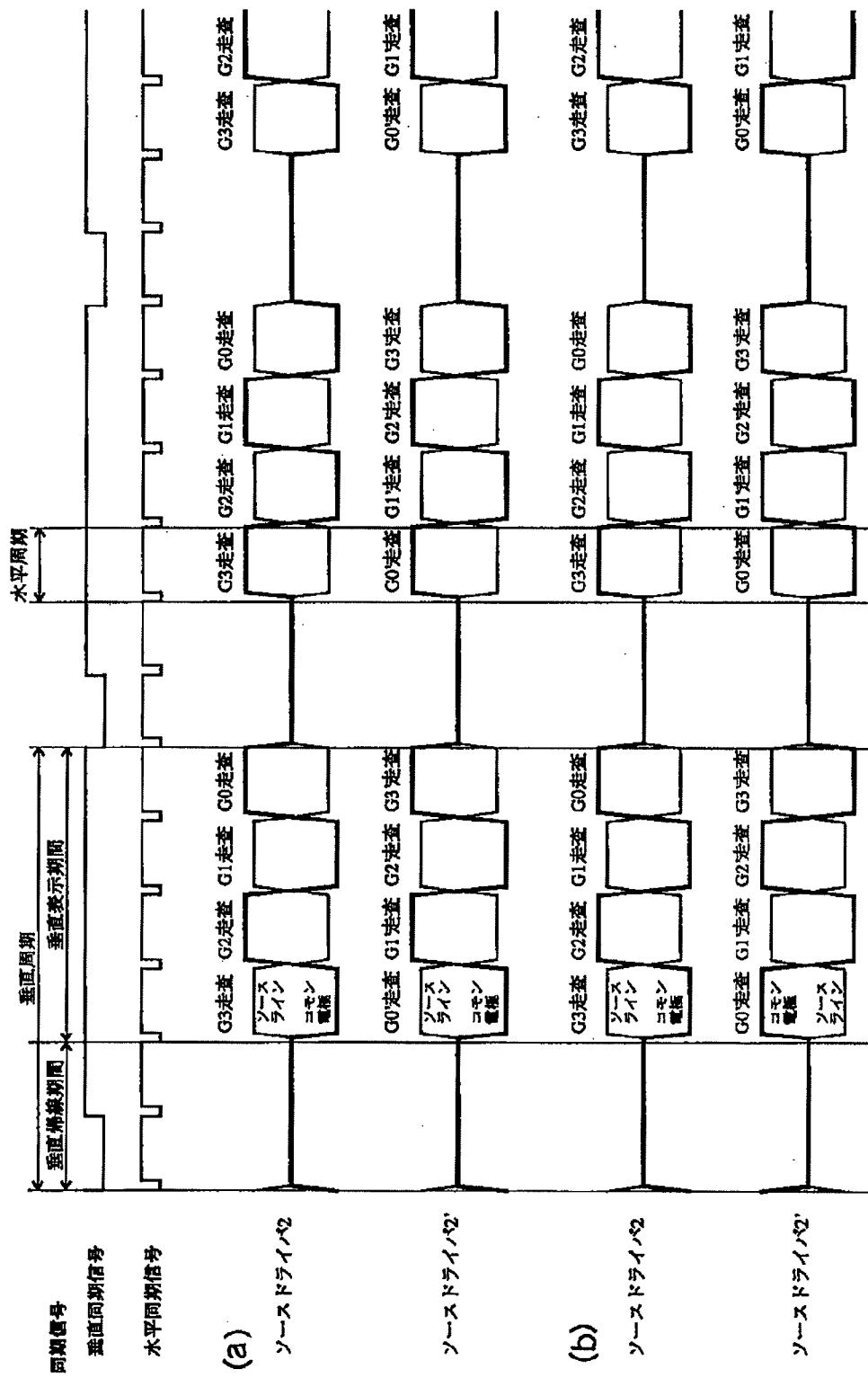
[Drawing 17]



[Drawing 19]



[Drawing 22]



[Drawing 23]

D00 負	D01 負	D02 負	D03 負	D04 負	D05 負
D10 正	D11 正	D12 正	D13 正	D14 正	D15 正
D20 負	D21 負	D22 負	D23 負	D24 負	D25 負
D30 正	D31 正	D32 正	D33 正	D34 正	D35 正
D00' 正	D01' 正	D02' 正	D03' 正	D04' 正	D05' 正
D10' 負	D11' 負	D12' 負	D13' 負	D14' 負	D15' 負
D20' 正	D21' 正	D22' 正	D23' 正	D24' 正	D25' 正
D30' 負	D31' 負	D32' 負	D33' 負	D34' 負	D35' 負

次のフレーム  
↓  
↑ 次の次のフレーム

D00 正	D01 正	D02 正	D03 正	D04 正	D05 正
D10 負	D11 負	D12 負	D13 負	D14 負	D15 負
D20 正	D21 正	D22 正	D23 正	D24 正	D25 正
D30 負	D31 負	D32 負	D33 負	D34 負	D35 負
D00' 負	D01' 負	D02' 負	D03' 負	D04' 負	D05' 負
D10' 正	D11' 正	D12' 正	D13' 正	D14' 正	D15' 正
D20' 負	D21' 負	D22' 負	D23' 負	D24' 負	D25' 負
D30' 正	D31' 正	D32' 正	D33' 正	D34' 正	D35' 正

[Translation done.]

(51) Int.Cl.<sup>6</sup>G 0 9 G 3/36  
G 0 2 F 1/133

識別記号

5 5 0

F I

G 0 9 G 3/36  
G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数15 O.L (全 23 頁)

(21) 出願番号 特願平9-262184

(22) 出願日 平成9年(1997)9月26日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 銀澤 弘之

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 川口 登史

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72) 発明者 瀬尾 光慶

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

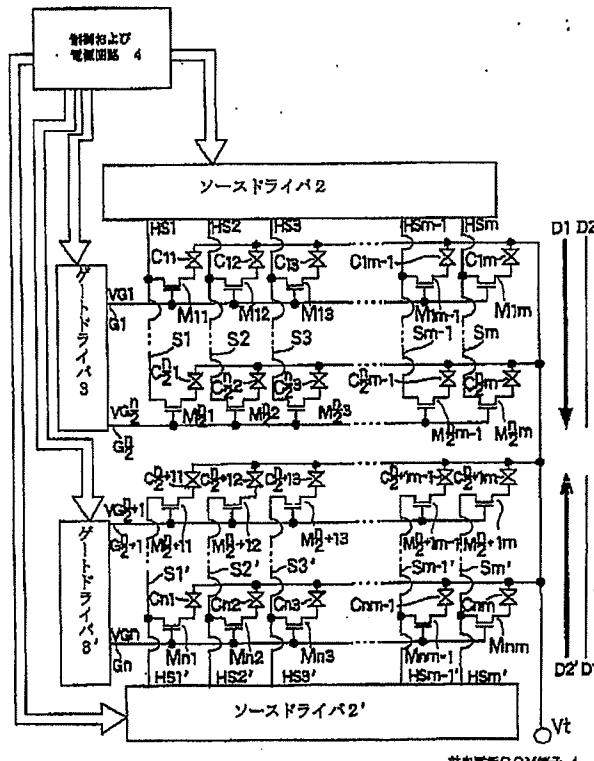
(74) 代理人 弁理士 佐野 静夫

## (54) 【発明の名称】 ドットマトリクス表示装置

## (57) 【要約】

【課題】 表示画面を上下に分割して各画面を同時に走査するドットマトリクス表示装置において、画面の分割境界部における輝度差をなくし、表示画面の高品質化を図る。

【解決手段】 表示画面1を上下に分割して、上下両表面をゲートドライバ3、3'で同時に走査するドットマトリクス表示装置において、上下両画面の分割境界部に位置する隣接した両走査線G3、G0'を同一タイミングで走査するが、映像信号の垂直同期信号の位相をずらせて走査するように上下両画面の走査順序を制御し、上記両走査線G3、G0'の輝度差を解消して、上下両画面の分割境界部の表示品位を向上させる。



## 【特許請求の範囲】

【請求項1】 垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を同一時間帯に走査するとともに、隣接する上記表示領域の境界部分に位置する第2の信号線を実質的に同一タイミングで走査する上記各表示領域に対応した複数個の走査回路を設け、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を、分割した上記各表示領域の第1の信号線に供給する上記各表示領域に対応した複数個の信号供給回路を設けたことを特徴とするドットマトリクス表示装置。

【請求項2】 上記走査回路は上記複数の表示領域のうち、隣接する表示領域の境界部分における各第2の信号線を、上記隣接する表示領域の各フレームの走査タイミングの始点として走査し、順次上記境界部分より離間する方向に各第2の信号線の走査を行うようにしたものであることを特徴とする請求項1に記載のドットマトリクス表示装置。

【請求項3】 上記走査回路は、上記複数の表示領域のうち、隣接する表示領域の境界部分における第2の信号線の走査を、上記隣接する表示領域の各フレームの走査のタイミングの終点として走査し、順次上記境界部分より離間した位置より境界部分の方向に各第2の信号線の走査を行うようにしたものであることを特徴とする請求項1に記載のドットマトリクス表示装置。

【請求項4】 垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を、隣接する表示領域の境界部分より互いに離間する方向あるいはその逆方向に走査する上記複数の表示領域に対応して設けた複数個の走査回路と、上記複数個の走査回路に位相の異なる垂直同期信号を出力する垂直同期信号発生回路と、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を分割した上記各表示領域の第1の信号線に同時に供給する上記各表示領域に対応した複

数個の信号供給回路と、上記画素電極に対応する個々の絵素に与える信号を1垂直周期あるいは複数の垂直周期毎に異なる極性に書き込むフレーム反転回路を設けたことを特徴とするドットマトリクス表示装置。

【請求項5】 上記垂直同期信号発生回路で生成する位相の異なる複数個の垂直同期信号間の時間差は、水平周期の整数倍であることを特徴とする請求項4に記載のドットマトリクス表示装置。

【請求項6】 上記垂直同期信号発生回路で生成する位相の異なる複数個の垂直同期信号間の時間差は、水平周期の奇数倍であることを特徴とする請求項4に記載のドットマトリクス表示装置。

【請求項7】 上記垂直同期信号発生回路で生成する位相の異なる複数個の垂直同期信号間の位相差は、隣接する表示領域に対応した垂直同期信号の垂直帰線期間が重複するよう設定されることを特徴とする請求項4乃至6のいずれかに記載のドットマトリクス表示装置。

【請求項8】 上記隣接する表示領域の境界部分の両表示領域に位置する第2の信号線は、同時に走査されないようにしたことを特徴とする請求項4乃至7のいずれかに記載のドットマトリクス表示装置。

【請求項9】 上記隣接する表示領域の境界部分の両表示領域に位置する第2の信号線に接続された絵素が同極性に書き込まれている時間は、逆極性に書き込まれている時間より短いことを特徴とする請求項4乃至8のいずれかに記載のドットマトリクス表示装置。

【請求項10】 上記選択素子は上記画素電極で構成される各絵素と、対応する第1の信号線との間に設けた能動素子であることを特徴とする請求項1乃至9のいずれかに記載のドットマトリクス表示装置。

【請求項11】 上記能動素子は非晶質のシリコン薄膜トランジスタであることを特徴とする請求項10に記載のドットマトリクス表示装置。

【請求項12】 上記画素電極で構成される各絵素の一端は1枚の導電板より成るコモン電極に接続されていることを特徴とする請求項1乃至11のいずれかに記載のドットマトリクス表示装置。

【請求項13】 上記コモン電極には、垂直同期信号かつ/または水平同期信号に同期した矩形波状の電圧が印加されていることを特徴とする請求項12に記載のドットマトリクス表示装置。

【請求項14】 上記第1の信号線に信号電圧を供給する複数個の信号供給回路は、上記画素電極で構成される各絵素を正負両極に書き込むために必要な電圧の振れ幅の高々1/2のダイナミックレンジを持つ回路であることを特徴とする請求項13に記載のドットマトリクス表示装置。

【請求項15】 上記画素電極で構成される絵素は液晶セルであることを特徴とする請求項1乃至14のいずれかに記載のドットマトリクス表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、容量性負荷の絵素を持ち、線順次走査で表示を行うドットマトリクス表示装置に係り、特に高精細で大画面の表示に適したドットマトリクス表示装置に関するものである。

## 【0002】

【従来の技術】現在ノートPC(Personal Computer)や携帯型TVのモニタには、薄型軽量で低消費電力の液晶表示装置LCD(Liquid Crystal Display)が採用されることが多い。

【0003】LCDには、TFT(Thin Film Transistor)方式やSTN(Super Twisted Nematic)方式などがある。現在量産されているLCDは、この2つが主流である。前者は、後者に比べ、製造コストが高くつくけれども、コントラストが高い、表示ムラが少ない、多階調表示に有利、応答速度が速いという特長がある。

【0004】まず、LCDの構造について駆動回路を中心に説明する。LCDは、複数の液晶セルから構成されている。例えば、VGA(Video Graphic Array)のカラーLCDは、約90万個の液晶セルを有している。具体的には、カラーフィルタで赤、緑、青の3原色に着色された3つの液晶セルが1つの絵素を構成し、その液晶セルが横640桁×縦480行のマトリクス状に配置されている。このため、液晶セルの総数は、 $640 \times RGB \times 480 = 921,600$ 個になる。そして、この液晶セルの集合で、1つの画像が表される。

【0005】図8に6桁×4行のTFTLCDの構造を示す。図8の(1)は液晶パネル、(2)はソースドライバ、(3)はゲートドライバ、(4)は制御および電源回路、(5)はTFT、(6)は液晶セル、(7)はコモン電極である。なお、ソースドライバ(2)は、データドライバ、カラムドライバ、Xドライバ、列電極駆動回路とも呼ばれる。ゲートドライバ(3)は、スキャンドライバ、ロウドライバ、Yドライバ、行電極駆動回路とも呼ばれる。

【0006】液晶パネル(1)には、1枚のガラス基板上に液晶セル(6)がマトリクス状に形成されている。LCDの駆動回路から見ると、液晶セルは、容量性負荷と考えることができる。各液晶セルは、その容量に印加された電圧に応じて、光学的な性質を変える。ノーマリホワイト方式のLCDでは、液晶セルは、その容量を充電すると黒くなり、放電すると白くなる。

【0007】TFT(5)のソース電極は、ソースバスラインを介してソースドライバ(2)の出力端子に、ゲート電極は、ゲートバスラインを介してゲートドライバ(3)の出力端子に、ドレイン電極は、液晶セル(6)に接続されている。液晶セルのドレイン電極と反対側の端子は、コモン電極(7)に接続されている。すべての液晶セルのコモン電極は、互いに短絡していて、常に等しい電位に

保たれている。このため、各液晶セルに印加されている電圧は、TFTのドレイン電極の電位で決まる。

【0008】ソースドライバ(2)は、TFTを介して液晶セルを充放電させるための電圧を出力する駆動回路であり、ゲートドライバ(3)は、TFTのスイッチングを制御する電圧を出力する駆動回路である。制御および電源回路(4)は、この2種類のドライバにタイミング信号と駆動電源電圧などを供給するものである。

【0009】TFTは、一種のスイッチング素子である。その動作は、n-FET(Field Effect Transistor)に似ている。現在、大型LCDには、専らa-Si(Amorphous Silicon)TFTが使われている。ただし、a-Si TFTは、On抵抗が非常に高く(数MΩ程度)、性能的にn-FETに遠く及ばない。ソースドライバの出力端子と液晶セルの間にTFTが介在し、TFTのOn抵抗と液晶セルの容量が、RC時定数を持っている。液晶セルの容量は、数pF程度なので、1個の液晶セルを充電するには、数10[μsec]程度の時間を要する。

【0010】このため、a-Si TFT LCDでは、1水平表示期間内に、横1行(ときには複数行)の液晶セルを同時に充電することで、充電時間を確保している。CRT(Cathode Ray Tube)やpoly-Si TFT LCDでは、映像信号は、1ドットずつリフレッシュされるのに對して、a-Si TFT LCDでは、1ライン分の映像信号が一齊にリフレッシュされる。前者を点順次走査、後者を線順次走査という。

【0011】VGAのLCDでは、横1行、 $640 \times R \times G \times B = 1920$ 個の液晶セルが同時に充電される。しかし、1920個の出力端子を備えたICの製造や実装は、非現実的である。現在では、1台のLCDに、出力端子の少ないソースドライバのICを複数個実装することで、これを実現している。それでも、ソースドライバは、LCDの駆動回路に使われる部材の中で、最も高価なものである。そしてまた、表示品位に最も影響を与える部材である。

【0012】図9にソースドライバのブロック図を示す。ここでは、ソースドライバに映像信号がデジタルで入力されるものとする。図9(11)はシリアル-パラレル変換器あるいはシフトレジスタ、(12)はラッチあるいはフリップフロップ、(13)はデジタル-アナログ変換器(DAC)、(14)は出力バッファあるいはオペアンプである。

【0013】ソースドライバICの入力端子のピン数を減らすため、映像信号は、シリアルに入力される。これをシリアル-パラレル変換してラッチした後、DACからアナログ信号を出力する。液晶セルの充電時間を短縮するため、DACと出力端子との間に、出力バッファを設け、インピーダンス変換をすることが多い。シリアル-パラレル変換器には、映像信号を、ラッチには、タイミング信号を、DACには、いわゆるγ補整用の基準電

圧を、出力バッファには、その駆動電源電圧+Vおよび-Vを供給する必要がある。

【0014】なお、デジタルラッチの代わりにアナログのサンプル&ホールド素子が採用されることもある。その場合、DACは不要である。ただ、アナログ素子を使うと、高速動作と高精度と低コストを両立させるのが困難になる。

【0015】VGAの場合、LCD 1台につき 1920 個の出力バッファが必要になる。このため、DACや出力バッファの設計に、トランジスタ 1 個の無駄があると、LCD 全体では、1920 個もの無駄につながる。一方、LCD の映像信号入力端子(図示せず)とシリアル-パラレル変換器の間に、数ゲート程度の無駄や冗長があったとしても、それに起因するコストや消費電力のアップは、ほとんど問題にならない。従って、DACや出力バッファの設計は、非常に重要である。トランジスタ数の削減や、出力バッファのアイドル電流の低減などは、大きな課題である。

【0016】幸い、a-Si TFT LCD のソースドライバの出力バッファは、オーディオ帯域で動作すればよいので、それほど高性能なものは必要ない。スルーレイートはそれほど高くないけれども、駆動電源電圧の割に大きなダイナミックレンジがとれ(いわゆる Rail-To-Rail 出力が可能で)、特に調整しなくとも出力偏差の少ないものが使われる。

【0017】ゲートドライバ(3)は、複数のゲートラインの中から、次に充電する行を選択する機能を有している。ゲートラインに、ソース電極やドレン電極より高い電圧を印加すると、その行に接続されたすべての TFT が On し、低い電圧を印加すると TFT は Off する。1 垂直表示期間内に、すべての行を選択し終えると、1 枚の画像が完成する。

【0018】なお、STN 方式の LCD は、TFT のような能動素子やコモン電極を持っていない。液晶セルの一方がソースラインに、他方がゲートラインにダイレクトに接続されている(図なし)。

【0019】次に、LCD の表示品位に影響を及ぼす原因とその対策について述べる。図 10 は TFT(5) の周辺に浮遊する容量を示す。図 10 において(5)は TFT、(6)は液晶セル、(7)はコモン電極である。(25)は、ゲートラインとドレン電極間の浮遊容量 CGD、(26)はソースラインとドレン電極間の浮遊容量 CSD、(27)は、隣のソースラインとドレン電極の間の浮遊容量 CSD'、(28)は、ソースラインとコモン電極間の浮遊容量 CSC である。

【0020】液晶セルに充電された電荷は、絶縁抵抗を介して徐々に放電する。このため、たとえ静止画像を表示する場合であっても、1 垂直周期毎に液晶セルを再充電する必要がある。

【0021】前述したように、液晶セルは、容量性負荷

である。このキャパシタには極性はなく、正に充電しても負に充電しても、その光学的な応答は同じである。むしろ、液晶セルが長時間同じ極性に帶電していると、表示品位が劣化するので好ましくない。ノーマリホワイトの LCD では、液晶セルに電圧を印加すると黒くなるが、この方式の LCD に黒っぽい画像を長時間表示し続けると、残像(焼き付き)が発生することがある。これは、液晶材料に微量に含まれるイオンが電極に移動して、応答を悪くするためである。

【0022】その対策としては、1 垂直周期毎に液晶セルを充電する極性を反転してやればよい。本明細書では、これをフレーム反転と呼ぶ。フレーム反転の結果、各液晶セルには、垂直周期 60 ~ 70 [Hz] の半分の 30 ~ 35 [Hz] の矩形波の交流電圧が印加されることになる。

【0023】ところが、フレーム反転を採用すると、その副作用のために、別の種類の表示品位の低下を招く。いま、図 8 の LCD 全面に、黒一色を表示したとする。ここでは、図の上から下へ、つまり、ゲートライン G0, G1, G2, G3 の順に走査するものとする。コモン電極の電位を 0 [V] と考えたときの、ソースライン S0 の電位と、ドレン電極 D00 および D30 の電位を図 11(a) に示す。なお、この例のソースドライバは、垂直帰線期間中には有効な信号を出力していない。

【0024】液晶セルに充電された電荷は、TFT の Off 抵抗や絶縁抵抗(図示せず)を介して徐々にソースラインに放電する。その量は、ソースラインとドレン電極間の電位差の大きな状態が長時間続ければ続くほど多い。また、電荷は、ソースラインの電位が反転するとき、浮遊容量 CSD を介してソースラインに逃げる。液晶セル D00 は、ソースラインの反転後、即ち電荷が逃げた後、直ちに再充電されるため、その影響を受けにくい。しかし、液晶セル D30 は、電荷が逃げた後、しばらく放置されるため、影響を受けやすい。

【0025】ドレン電極から電荷が逃げる量は、フィールド反転によってソースドライバの出力信号の極性が変わってから、液晶セルの充電が実際に始まるまでの時間で決まる。ソースドライバから液晶セルまでの距離で決まるわけではない。

【0026】この例では、ゲートライン G3 の駆動する液晶セルは、ゲートライン G0 の駆動する液晶セルよりも、電荷が逃げやすい。電荷が逃げると、純粋な黒を表現することができず、灰色っぽい表示になる。このため、均一な黒ベタを表示したつもりでも、実際には、画面の下の方ほど灰色がかかるという現象が発生する。本明細書では、これをコントラストの傾斜と呼ぶ。

【0027】コントラストの傾斜を回避するには、1 水平周期毎に、液晶セルを充電する極性を反転させてやればよい。そうすれば、ソースラインの電位が頻繁に反転するので画面全体が均一に灰色っぽくなる。少々灰色が

かるという問題は、ソースドライバの出力電圧の振幅を少し上げるだけで解消できる。本明細書では、これをライン反転と呼ぶ。通常、ライン反転は、フレーム反転と併用される。

【0028】ライン反転を採用すると、1水平周期毎にソースラインとコモン電極間の浮遊容量CSCの充放電が繰り返されるため、ソースドライバの消費電流が増える。また、クロストークまたはシャドーラインと呼ばれる表示ムラが発生しやすくなる。

【0029】ライン反転をしたときの、ソースラインS0の電位と、ドレイン電極D00およびD30の電位を図11(b)に示す。ライン反転では、1垂直周期の間にソースラインに印加される電圧の平均値(直流成分)が0になるので、コントラストの傾斜は解消される。しかし、1垂直周期に限って言えば、電圧のp-p(Peak-To-Peak)値が図11(a)より大きくなる。振幅の大きな高周波信号をソースラインに乗せると、CSDを介してドレイン電極の電位が振られ、走査していないはずの液晶セルの印加電圧が乱される。

【0030】ライン反転をすると、1水平周期の2倍の周期の交流信号がソースラインに乗る。ライン反転をしない場合でも、ベタ画面でなければ、同じ周期の交流信号がソースラインに乗るが、信号の振幅が小さいので問題になりにくい。1水平周期毎にソースドライバの出力電圧の極性を反転させると、大きな振幅の交流信号がソースラインに乗ってしまう。

【0031】いま、図8のLCDに、図12のような画像、すなわち、白ベタの中に黒い四角形を表示したいとする。しかし、ソースラインに乗った信号は、ゲートドライバが選択していない液晶セルへも、わずかながらCSDを介して書き込まれる。ソースラインとドレイン電極間が交流的に短絡しているからである。例えば、ゲートラインG1が選択され、液晶セルD12を充電しているとき、D00やD22やD32も少し充電される。その結果、黒い四角形の上下が灰色っぽくなり、図13のように尾を引いたような表示になってしまふ。

【0032】これを改善するには、液晶セルの容量を浮遊容量CSDより十分大きくすればよい。しかし、液晶パネル上に大きな容量を作るのは困難である。また、液晶セルの充電に要する時間は、その容量に比例する。液晶セルの充電が不十分になると、やはり表示品位が劣化する。TFTのOn抵抗を下げて充電時間を短縮する方法もあるが、それは、ゲートドライバのコストアップや信頼性の低下を招く。

【0033】ここでは、別の対策を説明する。図10のように、ドレイン電極と隣のソースラインの間には、浮遊容量CSD' (6)が存在する。そこでCSD=CSD' となるように液晶パネルを設計しておき、隣り合うソースラインに逆位相の交流信号を乗せてLCDを駆動するのである。

【0034】今、画面全体に黒ベタを表示したとする。このとき、隣り合うソースラインに、極性違いの映像信号を乗せる。コモン電極の電位を0とするとき、隣接するソースラインの電位は、符号が異なるけれども、絶対値は同じになる。よって、もしCSD=CSD' ならば、ソースラインの電位の変動が相殺され、ドレイン電極の電位に影響が現れない。

【0035】本明細書では、隣り合うソースラインを異なる極性で駆動することをドット反転と呼ぶ。ドット反転には、ソースラインに乗っている信号が、浮遊容量CSCを介してコモン電極の電位に影響を及ぼすのを防止する効果もある。ただし、ドット反転は、後で述べるコモン反転駆動方式のLCDでは、使うことができない。

【0036】フレーム反転とライン反転とドット反転を併用すると、図8の $6 \times 4 = 24$ ドットのLCDの各液晶セルは、図14のような極性で充電される。フレーム反転は、原理的には、静止画を表示した場合にのみ有効である。しかし、動きの遅い動画に対しても、ある程度の効果が期待できる。シーンチェンジの多い映像でも、ほとんど問題は起こらない。ただし、点滅するものを表示すると、効果が半減することがある。

【0037】ライン反転は、ベタ画面を表示した場合に有効である。しかし、直流成分の多い画像に対しても、ある程度の効果が期待できる。実際、映像信号は、普通は、直流成分が多く含まれているものである。だから、ライン反転がその効果を発揮する確率は高い。

【0038】ドット反転は、白、灰、黒のベタ画面に対して有効である。赤、緑、青、シアン、マゼンタ、黄色のベタ画面では、やや効果が落ちる。カラーLCDは、赤、緑、青に着色された3つの液晶セルを、3本のソースラインで同時に充電する方式が主流である。このため、例えば、全面赤一色の表示は、見た目にはベタ画面でも、ソースドライバにとっては、決してベタではない。なお、図12のように白や黒のベタの多い画面なら、ドット反転は、非常に有効であろう。

【0039】ライン反転やドット反転が最も苦手にしているのは、図15のような市松模様の画像である。よく知られているように、これは、最も高い周波数成分を持つ画像である。

【0040】しかし、液晶TVのモニタ用に使う限り、これは、全く問題にならない。アナログTV放送の電波では、事実上、このような画像を送れないためである。ところが、OA(Office Automation)端末のモニタとしては、大きな問題になる。OA機器では、中間調をディザリングによって表現することがある。このとき、条件次第では、ライン反転やドット反転の効果が激減する。実際、Windows 95の終了画面で、著しい表示品位の劣化を招くことがある。

【0041】ディザリングに似たものとして、絵素を高速に点滅させて中間調を表示するFRC(Frame Rate Co

ntrol)と呼ばれる技術がある。これを用いると、フレーム反転の効果が落ちる。その対策として、2垂直周期毎に極性を反転する方式が考えられる。本明細書では、複数の垂直周期毎に極性を反転する駆動方式をフレーム反転に含めて考える。

【0042】近年、液晶パネルの開口率を上げて、LCDの輝度を高くする動きがある。そのため、ドレイン電極が大きくなり、ソースラインとドレイン電極の間の距離が年々短くなっている。それに反比例してCSDが増加し、表示品位に与える影響が無視できなくなっている。

【0043】また、LCDの需要は、より高解像度で高精細の製品にシフトしてきている。LCDの水平方向の解像度を上げるには、ソースドライバの出力端子の総数を増やす必要がある。このとき、ICの実装や映像信号の高速伝送が技術的な課題になるが、表示品位の劣化に結び付くことはない。一方、垂直方向の解像度を上げるには、ゲートドライバの出力端子の総数を増やすとともに、水平周期を短くしなければならない。このとき、今述べた課題に加えて、充電時間の短縮が大きな問題になる。さらに、水平周期が短くなった分、周波数の高い信号がソースラインに乗るので、CSDに関する問題がより大きくなる。

【0044】問題になるのは、ソースラインに乗った信号だけではない。ゲートラインに乗った交流信号も、CGDを介してドレイン電極の電位に影響を与える。いま、ゲートラインの電位が-10[V]のとき TFTがOff し、20[V]のときOnするものとする。ゲートラインの電位を-10[V]から20[V]に上げると、CGDが存在するためにドレイン電極の電位も上がる。

【0045】しかし、一度TFTがOnしてしまえば、ソースドライバによるドレイン電極の充電が始まるので、これは問題にならない。逆に、ゲートラインの電位を20[V]から-10[V]に下げるとき、ドレイン電極の電位も下がる。その後にTFTがOffするので、このとき、ドレイン電極の電位が下がったままになる。つまり、ソースラインからドレイン電極に折角供給された電荷を、ゲートラインが吸い出してしまうのである。

【0046】しかし、CGDの影響に対する対策は、比較的容易である。ソースラインに乗る信号が表示する映像によって変わるものに対して、ゲートラインに乗る信号は、設計の段階で完全にわかっているからである。しかも、交流信号が流れているのは、VGAなら480本あるゲートラインの内、現在走査している1本だけである。このため、CGDの影響を見越して、あらかじめソースドライバの出力電圧を補整しておくだけで回避できる。

【0047】このように、図10に示す浮遊容量CGD(8)やCSD(9)のため、高周波信号に対して、TFTのスイッチング素子としての働きが悪くなる。なお、ゲートラインとソースライン間の浮遊容量などは、ドレイン

電極の電位に影響を与えないもので、図10では省略している。

【0048】次に、コモン反転駆動について説明する。液晶セルの印加電圧と、絵素の輝度の関係の一例を図16に示す。実際の特性は、液晶材料の種類により多少変わる。ここでは、1[V]を印加すると白くなり、5[V]を印加すると黒くなるものとする。0[V]以上1[V]以下の領域と、5[V]以上の領域では、光学特性が飽和している。なお、液晶セルに負の電圧を印加したときは、絶対値が同じで符号が逆の電圧を印加したときと同じ特性を示す。

【0049】液晶セルが図16のような特性を持つ場合、一見、ソースドライバが1[V]以上5[V]以下の電圧を出力できれば、LCDを駆動できるよう見える。しかし、極性を反転駆動するには、正負両極性の電圧を出力しなければならないので、実際には、-5[V]以上5[V]以下のダイナミックレンジが必要になる。

【0050】ところが、これでは、標準的な5[V]耐圧のプロセスでソースドライバを製造することができなくなる。10[V]耐圧のプロセスを使うと、ソースドライバのチップサイズの増大を招き、コストアップにつながる。そこで、いわゆるコモン反転駆動が使われることがある。これは、コモン電極の電位を振ってやるものである。

【0051】図17にライン反転とコモン反転駆動を採用したときの水平同期信号、コモン電極の電位、黒の映像信号の電位、白の映像信号の電位を示す。コモン反転駆動では、コモン電極には、図のような矩形波が入力される。この例では、コモン電極の電位を1水平周期毎に3[V]の振幅で振っている。つまり、矩形波の周期は1水平周期の2倍、p-p値は6[V]である。このとき、ソースドライバが4[V]のダイナミックレンジしか有していないにもかかわらず、液晶セルには、±5[V]の電圧が印加されている。

【0052】コモン反転駆動では、ソースドライバの製造コストを押さえられる。また、ソースドライバの出力バッファを4[V]電源で駆動できるので、消費電力も押さえられる。その反面、コモン電極に矩形波を供給する回路が必要になる。また、コモン反転駆動を採用すると、ドット反転ができなくなる。ただし、フレーム反転やライン反転なら可能である。

【0053】これに対して、コモン電極に直流電圧を印加し、素直に10[V]耐圧のプロセスで製造されたソースドライバを用いる方式を、本明細書では、コモン直流駆動と呼ぶことにする。例えば、コモン電極の電位を5[V]一定とし、液晶セルを正極性に充電するときは6~10[V]の電圧を、負極性に充電するときは0~4[V]の電圧をソースドライバから供給すればよい。このときのコモン直流駆動におけるコモン電極の電位、黒の映像信号の電位、白の映像信号の電位を、同じ図17に示す。

【0054】コモン直流駆動では、その特長を生かすため、普通は、ドット反転が行われる。このとき、同じソースドライバICの異なる出力バッファから、正極性の信号と負極性の信号が同時に outputされる。

【0055】極性の異なる信号を同時に outputするため、コモン直流駆動のソースドライバ内のDACは、コモン反転駆動のそれの2倍の規模になり、ICのチップサイズが大きくなる。DACに供給するγ補整用の基準電圧の数も2倍に増え、ICとプリント回路基板の間の端子の数が増え、実装が難しくなる。また、ソースドライバの出力バッファを10[V]電源で駆動するため、バッファで消費される電力も2倍以上に増える。消費電力の多さは、バッテリ駆動の携帯機器のモニタ用途では、特に大きな問題になる。

【0056】コモン反転駆動は、解像度が比較的低くクロストークの問題の少ないLCDや、ドットピッチが細かく実装の難しいLCD(パームトップPC用やプロジェクタ用など)に適している。コモン直流駆動は、大型で高解像度でバッテリ駆動の必要のないLCD(デスクトップPC用など)に適している。ノートPC用では、現在のところ、コモン反転駆動もコモン直流駆動も一長一短で、どちらも決め手に欠ける。ライン反転ドット反転共に、消費電力の増加を招く要素があるため、どちらが有利であるかは、一概には言えない。

【0057】一方、高解像度で大画面の表示装置を実現するため、水平または垂直ラインの数を多くし画素数を増やすと、1フィールドの時間を伸ばさない限り画素数に比例して各画素を充電する時間が短くなる。しかし各画素を充電するには、最低限必要な時間があり、画素数を多くすると各画素を充分に充電ができなくなることがある。このため画素数を充分に多くできない問題があった。

【0058】この問題に対し、特開平7-281648号公報で以下のような技術が提案されている。垂直方向に延ばされ平行に配設された複数の第1の信号線(ソースライン)と、水平方向に延ばされ平行に配設された第2の信号線(ゲートライン)とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子(TFT)を介して液晶セルが設けられてなる液晶ディスプレイ装置において、上記第1の信号線を垂直方向に2以上に分割し、この分割ごとに上記第2の信号線への信号の供給を独立すると共に、表示信号を上記分割の数に応じて時間軸伸長して分割した第1の信号線に供給する。これによれば、表示信号を時間軸伸長して供給することによって液晶セルの充電時間を相対的に伸長させることができ、これによって画素数の増加を可能にすることができます。

【0059】例として、第1の信号線を2分割し、6桁×4行の表示装置を2台並べて作った6桁×8行の表示装置について説明する。図18に示すように垂直方向に

延ばされ平行に配設された複数の第1の信号線を垂直方向にS0～S5とS0'～S5'に分割する。

【0060】そしてこの分割した第1の信号線S0～S5、S0'～S5'と第2の信号線G0～G3、G0'～G3'との交点に、一端を接続したNチャンネルFETからなるスイッチング素子(5)を設け、このスイッチング素子(5)にゲートドライバ(3)、(3')から走査信号VG0～VG3とVG0'～VG3'が走査方向D1a、D2aに従って供給される。即ち、画面の上半分も下半分も上から下へ走査される。

【0061】各スイッチング素子(5)の他端はそれぞれ液晶セル(6)を通じて対向電極COM端子(7)に接続される。また、ソースドライバ(2)、(2')には制御および電源回路(4)により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第2の信号線に応する表示信号が図19に示すようにソースドライバ(2)よりHS0～HS5、ソースドライバ(2')よりHS0'～HS5'が出力される。

【0062】この場合に例示する信号は黒の映像信号であり、フィールド反転とライン反転を並用している。このとき走査信号VG0とVG0'は同時にoutputされ順次選択され、最後にVG3とVG3'が同時に選択された後、次のフィールドに移り、再びVG0とVG0'から走査が始まる。

【0063】これによれば、同時に2つの液晶セルに充電することができるため、同じ1フィールドの時間をのばすことなく、液晶セルに時間軸伸長して充電できることとなる。例では2分割であるが分割数を増やすことにより充電時間の不足を気にせず、更なる画素数の増加を可能にすることができる。また、これによりS-VGA(Super Video Graphic Array)即ち横800桁×縦600行のLCDを駆動する技術を使って、U-XGA(Ultra Extended Video Graphic Array)即ち横1600桁×縦1200行のLCDを実現することができる。

【0064】CRTでこれと同様のことをすると、どうしてもモニタとモニタのつなぎ目が目立つ。しかし、LCDの場合、図18の液晶パネル(1)を、1枚のマザーガラスから取れば、全くつなぎ目のないモニタを作ることができる。パネル中央を横切るソースラインの切れ目は、目には見えないからである。そのため、ユーザは、これを1台のモニタとして何ら違和感なく使うことができる。

【0065】図18のLCDでは、表示画面につなぎ目はないが、駆動回路は、上下に分かれている。そして、液晶パネルの上半分の液晶セルと下半分の液晶セルが、独立に同時に走査される。本明細書では、これを画面の分割走査と呼ぶ。

【0066】図20を用いて、このLCDの応用例を説明する。図の(1)は液晶パネル、(2)および(2')はソースドライバ、(3)および(3')はゲートドライバ、

(4)および(4')は制御および電源回路、(5)はT F T、(6)は液晶セル、(7)および(7')はコモン電極である。図20の(8)は映像信号源、(9)は制御回路、(10)はメモリである。

【0067】例えば、高精細TV放送を受信するモニタなら、(8)はチューナー、(9)は走査方式の変換回路、(10)は画像メモリになる。上記制御回路(9)は、TV局から送られてくる映像信号を、分割走査できるように変換して、制御回路(4)および(4')に振り分けるものである。PC用のモニタなら、(8)はマイクロプロセッサ、(9)はビデオコントローラ、(10)はビデオRAM(Random Access Memory)になる。

【0068】コモン電極(7)および(7')は、図20では細い導線のように描かれているが、実際は、1枚のガラス面上に広がる導電膜である。また、図20に示す液晶パネルの上半分のコモン電極(7)と下半分のコモン電極(7')が短絡している。これは、製造コストを押さえたためである。

【0069】TFT LCDの液晶パネルは、TFTとバスラインを形成したガラス基板と、全面にコモン電極を形成したガラス基板との間に、液晶材料を封じ込めて作られている。前者のガラス基板は、芸が細かい分、製造工程が多く、コストがかかっている。後者のガラス基板は、透明な導電材料のベタパターンを作るだけで済む。そのため、バスラインに少々小細工を加えても、製造設備や工程やコストは、現行品のそれと大差ない。しかし、コモン電極に手を加えると、コストが大きく跳ね上がることになる。1枚のガラス基板全面に導電膜を形成すると、必然的にコモン電極(7)と(7')は、短絡したものになる。

#### 【0070】

【発明が解決しようとする課題】上記従来技術のように、独立した第2の信号線をゲートドライバ(3)、(3')が選択信号VG0とVG0'を同時に出し、走査方向D1a、D2aに従い順次同方向に走査し、最後にVG3とVG3'が同時に選択され、次のフィールドに移り、再びVG0とVG0'から走査する駆動を行った場合、ゲートドライバ(3)で選択される最後のゲートラインG3につながる液晶セル(6)とゲートドライバ(3')で最初に選択されるゲートラインG0'につながる液晶セル(6)は、分割した境界を挟み、上下で隣り合うが、これらの液晶セルに信号を充電するタイミングが1フレームの1/2の時間、異なる。

【0071】そのため、これらの液晶セルが、一度充電されてから次のフィールドで再び充電されるまでに隣接する第1の信号線S0～S5、S0'～S5'から受ける影響が以下のように異なる。図19は、この場合のタイムチャートを示すもので、フィールド反転とライン反転を併用して黒ベタの表示を行わせる場合のものである。

#### 【0072】対向電極(7)のCOM信号を1フィールド

毎に反転する駆動を例に説明する。1フィールド全て、例えば黒表示等の同一の表示を行った場合、液晶セル(6)全てに同一の表示信号が充電される。そして、ゲートドライバ(3')のゲートラインG0'に接続される液晶セル(6)は、フィールドの最初に、またゲートドライバ(3)のゲートラインG3に接続されるコンデンサ(6)は、フィールドの最後に表示信号が充電される。

【0073】液晶セル(6)全てに同一の表示信号を充電するため、ゲートラインG0'に接続される液晶セル(6)に充電される表示信号のレベルと、ソースラインS0'～S5'の信号レベルは等しい。そのため、ゲートラインG0'に接続される液晶セル(6)が充電された後、ソースラインS0'～S5'から受ける影響は小さく、この液晶セル(6)に充電された表示信号の劣化量は小さい。

【0074】しかし、1フィールドの最後に充電されるゲートドライバ(3)のゲートラインG3に接続された液晶セル(6)は表示信号が充電されると、すぐに次のフィールドに移る。次のフィールドに移ると対向電極(7)のCOM信号が反転し、それに伴い表示信号も反転してしまう。

【0075】そのため、ゲートラインG3に接続される液晶セル(6)に充電された表示信号のレベルとソースラインS0～S5の信号レベルは異なる。従って、ゲートラインG0'に接続された液晶セル(6)がソースラインS0～S5から受ける影響は、ゲートラインG0'～G3'に接続された液晶セル(6)がソースラインS0'～S5'から受ける影響よりも大きく、ゲートラインG3に接続された液晶セル(6)に充電された表示信号の劣化量は大きくなる。

【0076】そのため、垂直(Y軸)方向のラインの境界であるゲートラインG3とG0'に接続された液晶セル(6)では表示が異なる。これは、分割された上下の境界付近のセルでも同じであり、画面全体で見ると分割された境界付近で輝度差を生じることになる。

【0077】このように、画面の上半分も下半分も上から下へ走査し、上半分はゲートラインG0, G1, G2, G3の順に、また下半分はG0', G1', G2', G3'の順に走査すると、画面全面に対して黒の映像信号を入力し、LCDに均一な黒ベタを表示させようとしても図21に示すようにコントラストの傾斜が発生し、分割した上下2画面の境界部分に普段見えなかつた継ぎ目が現れるという問題があった。

【0078】これはフレーム反転を採用すると、ソースドライバの出力電圧の極性を反転してから、液晶セルが再充電されるまでの時間が長ければ長いほど、液晶セルから電荷が逃げやすくなりコントラストが低下するからである。ライン反転を併用すれば、直流成分の多い映像信号を表示した場合に限り、コントラストの傾斜が軽減されるが万能ではない。

【0079】上述するように画面を上下2分割し、上半分も下半分も上から下へ走査したとき、分割した上下両画面の境界部分に生ずるコントラストの傾斜は、2分割した上半分および下半分の画面をそれぞれ境界部分より同時に上半分の画面は上から下へ、また下半分の画面は下から上へ走査して解消することが与えられる。

【0080】この場合、上下両画面の境界部分に位置する各液晶セルは同程度に充電されるので、図21に示すような明確なコントラストの差は生じない。しかし、境界部分に位置する各液晶セルの充電時間は、他の部分に位置する各液晶セルの充電時間より短くなるため、黒ベタを表示させた場合に、この部分は灰色になり多少のコントラストの傾斜が生ずる。このコントラストの傾斜は、画面中央部で横方向に現れるので好ましいものではない。

【0081】このような画面中央部で横方向に現れた灰色のコントラストの傾斜を解消するには、上半分および下半分の画面をそれぞれ境界部分より同時に上半分の画面は下から上へ、また下半分の画面は上から下へ走査することが考えられる。

【0082】この場合、上下両画面の境界部分に位置する各液晶セルは同程度に且つ充分充電されるので、黒ベタ表示の場合、上記のように灰色になることはないが、画面の上下端部、即ち上画面の上端部と下画面の下端部に液晶セルの充電が充分行われない領域が生じ、この部分が黒ベタ表示の場合に灰色になり、画面の上下端部に重要な表示を行いたい場合のさまたげになる。

【0083】一方、上述する上下両画面が隣接した部分に位置する両画面のゲートラインG3とG0'は同時に走査されると、そのために発生する問題が2つある。第1の問題は上述するようにゲートラインG3あるいはG0'に接続された液晶セルだけ、他より明るくまたは暗くなり、輝線または暗線が走って見えることである。

【0084】TFTがOffするとき、つまり、ゲートラインの電位が下がるとき、上述するようにゲートラインとドレン電極間の浮遊容量CGDを介してドレン電極の電位が影響を受ける。従来の分割走査しないLCDや、図19に示すようなLCDでは、その影響の程度が、どのゲートラインを走査しているときでも等しく、そのために、CGDの影響に対する対策を立てやすかった。

【0085】ところが、ゲートラインG3とG0'が同時に走査されると、その隣接する2本のラインを走査するときと、他の離れた2本のラインを走査するときとは、走査中のゲートライン周辺の電界の分布が大きく異なる。このため、CGDを始めとする浮遊容量の影響の程度が、中央の2ライン付近を走査するときだけ異なることになる。

【0086】LCDの駆動回路を設計するとき、CGDの影響を相殺するために、ソースドライバの出力電圧の値

をあらかじめ補整しておくことがある。ところが、ゲートラインG3とG0'が同時に走査されると、走査しているライン毎にこの補整量を変えなければならない。そうしなければ、画面中央の2ラインだけ、他のラインと輝度が違つて見えるという現象が発生する。しかし、補整量を可変にしようとすると、LCDの制御回路や補整用の基準電圧を発生する回路が複雑になり、コストや信頼性の問題が起きる。

【0087】第2の問題は、コモン反転駆動のソースドライバでは、1ライン毎に極性を反転するライン反転ができないことである。図22の(a)は、コモン反転駆動のソースドライバで、図18のLCDを駆動するときの信号波形の例である。この図でも、ソースドライバからは、黒の映像信号が出力されているものとする。この例では、フィールド反転とライン反転を併用している。コモン反転駆動を採用した場合、上半分を担当するソースドライバ(2)と、下半分を担当するソースドライバ(2')からは、常に同じ極性の信号が出力されることになる。

【0088】このとき、液晶セルに印加される電圧の極性を図23に示す。上述する図22(a)では、画面中央の2本のラインG3とG0'が、正しくライン反転できていないことがわかる。すると、ゲートラインG3とG0'に接続された液晶セルの周辺にできる電気力線は、他の液晶セルのそれと異なるものになる。液晶セルは、液晶材料の分子が、電気力線の方向を向くことを利用した絵素であるから、これは、致命的である。つまり、これも、中央の2ラインだけ明るくまたは暗くなる原因になるのである。

【0089】なお、例えば、図18のゲートラインG0上の液晶セルを充電し終えた直後、すなわち、G1上の液晶セルを充電し始める直前、G0上の液晶セルとG1上の液晶セルが同じ極性に帶電している。しかし、この時点から1水平周期も経過すれば、G1上の液晶セルは、G0上の液晶セルと逆極性に充電される。このような一時的に発生する異常は、目に見える不具合にはならない。

【0090】一方、上記図22の(a)の異常は、一時的なものではない。不具合の原因是、隣り合うゲートラインG3とG0'に接続された液晶セルが、どちらも同じ極性に充電され、しかも、その状態が長期間続くことにある。

【0091】図22(b)は、ゲートラインG3とG0'上の液晶セルを異なる極性で充電するものである。この場合、液晶パネルの上半分のコモン電極(図20の(7))と下半分のコモン電極(図20の(7'))に、位相の異なる矩形波を供給する必要がある。したがって、上下2つのコモン電極の間が短絡していると、この方式は使えない。ところが、既に述べたように、2つのコモン電極を電気的に切り離そようとすると、コストアップを招く。

【0092】また、図20のソースドライバ(2)と(2')を異なる電源電圧で駆動する方法も考えられる。しかし、その場合、制御回路(4)とソースドライバ(2)の間に、あるいは、(4')と(2')の間に、デジタル信号のレベルシフタが必要になるなど、新たなコストアップや信頼性の問題が発生する。

【0093】もちろん、素直にコモン直流駆動方式を採用するのは、この第2の問題の単純明快な解決策である。しかし、この方式は、ソースドライバの消費電力の増加とコストアップを招くものである。また、設計上、ドット反転の必要性の薄い液晶パネルを、わざわざコモン直流駆動のソースドライバで駆動するのは、コストパフォーマンスの点で好ましくない。

【0094】本発明は、かかる状況を鑑みてなされたものである。即ち、画面の上半分と下半分の走査方向を逆にしても、中央に輝線または暗線の走らない、分割走査方式の高精細LCDを提供するものである。

#### 【0095】

【課題を解決するための手段】本発明は上記の課題を解決するため、次のような手段で構成する。請求項1のドットマトリクス表示装置は、垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を同一時間帯に走査するとともに、隣接する上記表示領域の境界部分に位置する第2の信号線を実質的に同一タイミングで走査する上記各表示領域に対応した複数個の走査回路を設け、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を、分割した上記各表示領域の第1の信号線に供給する上記各表示領域に対応した複数個の信号供給回路を設けたことを特徴とする。

【0096】請求項2のドットマトリクス表示装置は、請求項1のドットマトリクス表示装置において、上記走査回路は上記複数の表示領域のうち、隣接する表示領域の境界部分における各第2の信号線を、上記隣接する表示領域の各フレームの走査タイミングの始点として走査し、順次上記境界部分より離間する方向に各第2の信号線の走査を行うようにしたものであることを特徴とする。

【0097】請求項3のドットマトリクス表示装置は、請求項1のドットマトリクス表示装置において、上記走査回路は、上記複数の表示領域のうち、隣接する表示領域の境界部分における第2の信号線の走査を、上記隣接

する表示領域の各フレームの走査のタイミングの終点として走査し、順次上記境界部分より離間した位置より境界部分の方向に各第2の信号線の走査を行うようにしたものであることを特徴とする。

【0098】請求項4のドットマトリクス表示装置は、垂直方向に延び、平行に配設された複数の第1の信号線と、水平方向に延び、平行に配設された複数の第2の信号線とを設け、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して画素電極を設け、該画素電極を選択駆動することにより表示を行うドットマトリクス表示装置において、上記第1の信号線を垂直方向に且つ上記第2の信号線と並行に複数等分に分割して、表示画面を上下方向に複数等分に分割した複数の表示領域を形成し、上記各表示領域毎の第2の信号線を、隣接する表示領域の境界部分より互いに離間する方向あるいはその逆方向に走査する上記複数の表示領域に対応して設けた複数個の走査回路と、上記複数個の走査回路に位相の異なる垂直同期信号を出力する垂直同期信号発生回路と、表示信号を上記表示領域の分割数に応じて時間軸伸張し、分割した上記各表示領域に対応する時間軸伸張した表示信号を分割した上記各表示領域の第1の信号線に同時に供給する上記各表示領域に対応した複数個の信号供給回路と、上記画素電極に対応する個々の絵素に与える信号を1垂直周期あるいは複数の垂直周期毎に異なる極性に書き込むフレーム反転回路を設けたことを特徴とする。

【0099】請求項5のドットマトリクス表示装置は、請求項4のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数個の垂直同期信号間の時間差は、水平周期の整数倍であることを特徴とする。

【0100】請求項6のドットマトリクス表示装置は、請求項4に記載のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数個の垂直同期信号間の時間差は、水平周期の奇数倍であることを特徴とする。

【0101】請求項7のドットマトリクス表示装置は、請求項4乃至6のドットマトリクス表示装置において、上記垂直同期信号発生回路で生成する位相の異なる複数個の垂直同期信号間の位相差は、隣接する表示領域に対応した垂直同期信号の垂直帰線期間が重複するように設定されることを特徴とする。

【0102】請求項8のドットマトリクス表示装置は、請求項4乃至7のドットマトリクス表示装置において、上記隣接する表示領域の境界部分の両表示領域に位置する第2の信号線は、同時に走査されないようにしたことを特徴とする。

【0103】請求項9のドットマトリクス表示装置は、請求項4乃至8記載のドットマトリクス表示装置において、上記隣接する表示領域の境界部分の両表示領域に位

置する第2の信号線に接続された絵素が同極性に書き込まれている時間は、逆極性に書き込まれている時間より短いことを特徴とする。

【0104】請求項10のドットマトリクス表示装置は、請求項1乃至9のドットマトリクス表示装置において、上記選択素子は上記画素電極で構成される各絵素と、対応する第1の信号線との間に設けた能動素子であることを特徴とする。

【0105】請求項11のドットマトリクス表示装置は、請求項10のドットマトリクス表示装置において、上記能動素子は非晶質のシリコン薄膜トランジスタであることを特徴とする。

【0106】請求項12のドットマトリクス表示装置は、請求項1乃至11のドットマトリクス表示装置において、上記画素電極で構成される各絵素の一端は1枚の導電板より成るコモン電極に接続されていることを特徴とする。

【0107】請求項13のドットマトリクス表示装置は、請求項12のドットマトリクス表示装置において、上記コモン電極には、垂直同期信号かつ/または水平同期信号に同期した矩形波状の電圧が印加されていることを特徴とする。

【0108】請求項14のドットマトリクス表示装置は、請求項13のドットマトリクス表示装置において、上記第1の信号線に信号電圧を供給する複数個の信号供給回路は、上記画素電極で構成される各絵素を正負両極に書き込むために必要な電圧の振れ幅の高々1/2のダイナミックレンジを持つ回路であることを特徴とする。

【0109】請求項15のドットマトリクス表示装置は、請求項1乃至14のドットマトリクス表示装置において、上記画素電極で構成される絵素は液晶セルであることを特徴とする。

【0110】(作用)請求項1の構成によれば、選択素子を走査する順序を制御することにより、分割された第1の信号線の境界で隣り合う表示セルは、同一タイミングで信号を充電されるため、一度充電された液晶セルが次のフィールドで充電されるまでに隣接する第1の信号線から受けける影響が分割された上下の境界で同じになる。そのため、第1の信号線の分割境界部の輝度差を解消することができる。

【0111】請求項2の構成によれば、上下に分割した表示画面の境界部分より上画面は下より上へ、また下画面は上より下へ同一タイミングで走査するので、上記境界部分で隣接する走査線の各表示セルは同程度で且つ充分に充電され、画面中央部に位置する分割境界部で輝度差が生ずることがなく、しかも充電不足による他の領域との間の輝度差が生ずることもない。

【0112】請求項3の構成によれば、上下に分割された表示画面の境界部分より上画面は上より下へ、また下画面は下より上へ同一タイミングで走査するので、上記

境界部分で隣接する走査線の各液晶セルは同程度に充電される。従って、この境界部分で輝度差は生じることがない。また、上記境界部分で隣接する走査線の表示セルは充電時間が短くなるため、他の領域との間の輝度差が多少生じるが、画面の上下端部、即ち上画面の上端部および下画面の下端部の表示セルは共に充分充電されるので、画面の上下端部における他の領域との間の輝度差が生じることはない。

【0113】請求項4乃至15の構成によれば、上下に分割した表示画面に供給する映像信号の位相を垂直同期信号が1水平同期期間の整数倍だけずれるように設定している。従って、上記上下両画面の境界部分で隣接する両画面の端部の走査線が同時に走査されることなく、適度に位相をずらせて走査させることができる。また、コモン電極を映像信号の水平あるいは垂直同期信号に同期したパルスを印加する1枚の電極で構成することができる。これにより、上記上下両画面の境界部分で隣接する両画面の端部の走査線に輝度差が生ずることがなくなり、上下に分割した表示画面の表示品位の低下を抑制することができるとともに、第1の信号線を駆動する信号供給回路のダイナミックレンジを表示絵素に必要な電圧の1/2にすることができる。

【0114】また、上下両画面の映像信号の垂直帰線期間が重なるようにして、この垂直帰線期間の重なっている期間にフレーム反転を行うよう正在しているので、フレーム反転に伴う走査ラインの輝線や暗線が発生することもない。

【0115】また、上記両画面に供給する垂直同期信号のずれを1水平同期期間の奇数倍に設定するので、上下両画面の境界部で隣接する両画面の端部の走査線に接続された絵素が同極性に充電されることがなくなり、容量性負荷より成る表示絵素、特に液晶セルの劣化を防止することができる。

【0116】また、上記上下両画面の境界部で隣接する両画面の端部の走査線に接続された絵素を同極性に書き込む時間より逆極性に書き込む時間の方が長くなるように、上記両垂直同期信号の位相のずれを設定するので液晶セルより成る表示絵素の劣化を防止することができる。

【0117】また、第1および第2の信号線の交換部に設けた画素電極を選択する選択素子は、アモルファシリコンあるいはポリシリコンより成るTFT等で構成した能動素子にしているので、高速で且つコントラストの優れたドットマトリクス表示装置を得ることができる。

【0118】

【発明の実施の形態】

(実施形態1)本実施形態1は請求項1, 2, 10, 11, 12, 13, 14および15に関係し、表示画面を上下に複数分割して、上画面は上から下へ、また下画面は下から上へ同時に走査し、分割境界部での輝度差をなくすもの

である。表示信号を供給する第1の信号線を2分割し、表示画面に上下に2分割した場合の例を説明する。

【0119】図1は本実施形態1の構成図である。図1に示すように垂直方向に延ばされ、平行に配設された複数の第1の信号線を垂直方向にS1～SmとS1'～Sm'に分割し、この分割ごとに第1の信号線S1～Sm、S1'～Sm'と第2の信号線G1～Gnとの交点に一端を接続したNチャンネルFETからなるスイッチング素子M11～Mnmを設け、このスイッチング素子M11～Mnmにゲートドライバ(3)、(3')から走査信号VG1～VGn/2とVGn～VG(n/2)+1が走査方向D1、D2'に従って供給される。スイッチング素子M11～Mnmの他端はそれぞれ液晶セルC11～Cnmを通じて対向電極COM端子(7)に接続される。

【0120】また、ソースドライバ(2)、(2')には制御および電源回路(4)により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第2の信号線に対応する表示信号が図2のタイミングチャートに示すようにソースドライバ(2)よりHS1～HSm、ソースドライバ(2')よりHS1'～HSm'が出力される。

【0121】ゲートドライバ(3)、(3')の選択素子を走査する順序をゲートドライバ(3)はVG1～VGn/2の順に、ゲートドライバ(3')は、VGn～VG(n/2)+1の順に走査することにより、分割境界部の液晶セルC(n/2)・1～C(n/2)・mとC{(n/2)+1}・1～C{(n/2)+1}・mは、同一タイミングで充電されることになる。これにより、上に述べた液晶セルが第1の信号線から受ける影響は、液晶セルC(n/2)・1～C(n/2)・mとC{(n/2)+1}・1～C{(n/2)+1}・mでは、同じとなる。そのため、第1の信号線の分割境界部の輝度差を解消することができる。

【0122】上記のように本実施形態によると、分割境界部の液晶セルC(n/2)・1～C(n/2)・mとC{(n/2)+1}・1～C{(n/2)+1}・mは同一タイミングで充電されるので、この分割境界部では、輝度差はなくなるが、これらの液晶セルは1垂直期間の最後に充電された後、直ちに放電され、再充電は次の垂直期間の最後になるため、他の水平ラインの液晶セルに比べ、輝度が多少低下することがある。これは黒ベタ表示を行わせた場合に、上記分割境界部に他の水平ラインに比べて輝度の低い灰色がかった横縞として現れる場合があるという問題を残している。

【0123】なお、図1に示す実施形態は表示画面を上下に2分割するものであるが、複数分割する場合も同様に実施することができる。また、ドットマトリクス表示装置として液晶表示装置を例示しているが、表示セルが容量性の絵素である他の表示装置においても同様に実施することができる。また、例示した液晶表示装置の従来技術として周知の部分の構成については説明を省略している。これらは、以下の各実施形態の説明において同じである。

【0124】(第2実施形態)本実施形態2は請求項1、

3、10、11、12、13、14および15に関係し、表示画面を上下に複数分割して、上画面は下から上へ、また下画面は上から下へ走査し、分割境界部での輝度差をなくすものである。本実施形態2の構成は図1に示す実施形態1の構成に比べ、ゲートドライバ(3)、(3')の構成を除いて同一である。

【0125】図1を用いて説明すると、垂直方向に延ばされ、平行に配設された複数の第1の信号線を垂直方向にS1～SmとS1'～Sm'に分割し、この分割ごとに第1の信号線S1～Sm、S1'～Sm'と第2の信号線G1～Gnとの交点に一端を接続したNチャンネルFETからなるスイッチング素子M11～Mnmを設け、このスイッチング素子M11～Mnmにゲートドライバ(3)、(3')から走査信号VG1～VGn/2とVGn～VG(n/2)+1に走査信号が供給される。

【0126】この走査信号の走査方向は上述する実施形態1の場合のD1、D2'とは逆向きのD2、D1'であって、ゲートドライバ(3)は第2の信号線をGn/2→G1の方向へ、またゲートドライバ(3')は第2の信号線G(n/2)+1→Gnの方向へ走査する。また、スイッチング素子M11～Mnmの他端はそれぞれ液晶セルC11～Cnmを通じて対向電極COM端子(7)に接続される。

【0127】また、ソースドライバ(2)、(2')には制御および電源回路(4)により画面の前半、後半に振り分けられた表示信号が供給され、選択されている第2の信号線に対応する表示信号がソースドライバ(2)よりHS1～HSm、ソースドライバ(2')よりHS1'～HSm'が出力される。ゲートドライバ(3)、(3')の選択素子を走査する順序は、図3に示すように、ソースドライバ(2)で駆動される画面を走査するゲートドライバ(3)のゲートラインはG3→G2→G1→G0の順で走査され、ソースドライバ(2')で駆動される画面を走査するゲートドライバ(3')のゲートラインはG0'→G1'→G2'→G3'の順に走査される。

【0128】上記のような走査を行うことにより、分割境界部の液晶セルC(n/2)・1～C(n/2)・mとC{(n/2)+1}・1～C{(n/2)+1}・mは、同一タイミングで充電されることになる。これにより、上に述べた液晶セルが第1の信号線から受ける影響は、液晶セルC(n/2)・1～C(n/2)・mとC{(n/2)+1}・1～C{(n/2)+1}・mでは、同じとなる。そのため、第1の信号線の分割境界部の輝度差を解消することができる。

【0129】本実施形態2においては、分割境界部の液晶セルC(n/2)・1～C(n/2)・mとC{(n/2)+1}・1～C{(n/2)+1}・mは同一タイミングで且つ充分な時間充電されるため、上述する実施形態1で述べた分割境界部の上記液晶セルが他の部分の液晶セルより充電時間が短くなるためのコントラストの傾斜が生じる恐れがない。しかし、この場合は上半分の画面の上端部および下半分の画面の下端部で、図4に示すようなコントラストの傾斜が生じ

る恐れがある。このコントラストの傾斜は画面の継ぎ目には現れず、使用頻度の高い画面の中央部のコントラストの低下はないので使い易いものになる。

【0130】(実施形態3)本実施形態3は、請求項4乃至15に関係し、表示画面を上下に複数に分割して隣接する画面で走査信号に位相差を持たせ、分割境界部での輝度差をなくすものである。

【0131】表示信号を供給する第1の信号線を2分割して、表示画面を上下に2分割した場合の例を説明する。

【0132】本実施形態3の構成を図5に示す。図5において、上述する実施形態1、2の構成を示す図1に対応する部分には同一の符号を付し、説明を省略する。図5が図1と相違する点は、映像信号源(20)からの映像信号に基づき、制御回路(21)でメモリ(22)を用いて垂直同期信号の位相がずれた2つの映像信号を作り、この2つの映像信号を制御および電源回路(40), (40')でそれぞれ映像信号と同期信号に分離し、映像信号はそれぞれソースドライバ(2), (2')へ、また同期信号はそれぞれゲートドライバ(3), (3')に供給していることである。

【0133】この場合、本実施形態のゲートドライバ(3), (3')による上下両画面の走査方向は、上述する実施形態1、2に示すいずれの方向であってもよい。即ち、ゲートドライバ(3), (3')は第2の信号線をG1→Gn/2, Gn→G(n/2)+1へあるいはGn/2→G1, G(n/2)+1→Gnの方向へ走査する。しかし、上下両画面の上記走査は、上記両画面の映像信号の両垂直同期信号に位相差を持たせることにより、位相のずれた両走査信号VG1～VGn/2, VG(n/2)+1～VGnを作り、この走査信号によって行われる。

【0134】以下、図6を用いて本実施形態3を説明する。図6は、コモン直流駆動方式における各同期信号のタイミングと、ソースドライバの出力電圧を示したものである。上述するように図5の制御および電源回路(40), (40')に位相の異なる垂直同期信号(各々VsyncおよびVsync')が入力される。つまり、制御回路(40')に入力される垂直同期信号および映像信号は、制御回路(40)に入力されるそれより2水平周期遅れている。このため、ゲートラインG3とG0'が、同時に走査されることはない。なお、これは、コモン直流駆動方式の実施例であるから、液晶パネルの上半分のコモン電極と、下半分のコモン電極を短絡しても問題ない。

【0135】ところで、1あるいは2水平周期の時間差をつけた程度では、画面中央の輝線や暗線が解消されない場合があり得る。次に、2つの垂直同期信号にどの程度の時間差をつけられるか説明する。本実施形態のコモン直流駆動方式のLCDの場合は、コモン電極の電位が一定なので非常に簡単である。VsyncとVsync'の位相差に特に制限はない。1水平周期の何倍ずらしても問題は

ない。1水平周期の整数倍でなくてもよい。

【0136】極端な場合、VsyncとVsync'の位相を180°ずらしてもよい。例えば、U-XGAの分割走査方式のLCDなら、横1600行×縦600行×上下2画面の構成をしているので、VsyncとVsync'を1水平周期の300倍ずらしてもよい。VsyncとVsync'の位相差を±180°にすれば、図5のゲートドライバ(3)の走査するゲートラインと、同じ時刻にゲートドライバ(3')の走査するゲートラインが、物理的に至近距離に存在することによる弊害が、最大限に緩和される。

【0137】ただし、このとき、別の原因による表示品位の低下を招くおそれがある。ゲートラインG3上の液晶セルを充電してから、ゲートラインG0'上の液晶セルを充電するまでの時間と、G0'上の液晶セルを充電してから、G3上の液晶セルを充電するまでの時間が、ほぼ等しくなる。つまり、G3上の液晶セルとG0'上の液晶セルが、同じ極性に帶電している時間と、異なる極性に帶電している時間とが等しくなる。このため、隣接するゲートラインG3とG0'上の液晶セルが、1垂直周期の半分は、同じ極性に帶電することになる。そして、隣接するゲートライン上の液晶セルを同じ極性で充電したまま長期間放置することに起因する表示不良が出る。

【0138】もし、VsyncとVsync'の位相差が0°なら、つまり、実施形態1あるいは2の場合には、表示品位への影響は、全く正反対になる。すなわち、至近距離のゲートラインを同時に走査することによる弊害が大きくなり、至近距離のゲートラインを長時間同一極性に帶電させることによる弊害が小さくなる。

【0139】したがって、本発明を実施する場合、VsyncとVsync'の位相差は、-180°以上180°以下で0°でない値の中から、最適なものを選べばよい。その最適値は、駆動する液晶パネルの設計に依存する。

【0140】本実施形態3では、図6に示すように、ゲートラインG1とG0'が同時に走査される。その2本のゲートライン間の距離は、3ラインである。なお、G0とG1'も同時に走査されるが、その距離は5ラインなので、こちらの2本を走査しているときの方がマージンが大きい。また、ドレイン電極D30とD00'が同じ極性に帶電する時間は、1垂直周期当たり2水平周期ある。逆に、異なる極性に帶電するのは、1垂直周期当たり4水平周期ある。

【0141】(実施形態4)本実施形態4は請求項4乃至15に関係し、上述する実施形態3と同様、表示画面を上下に複数分割し、隣接する画面で走査信号に位相差を持たせ、分割境界部での輝度差をなくすものであるが、実施形態3はコモン電極を直流駆動にしたものであるのに対して、本実施形態4はコモン電極を反転駆動させた場合のものである。

【0142】本実施形態4の表示パネルの構成は、上述

する実施形態3と実質的に同じであるので図5を用いて説明する。

【0143】図7は本実施形態4に用いるコモン反転駆動方式での各同期信号のタイミングと、ソースドライバの出力電圧と、コモン電極に印加される矩形波の波形を示したものである。

【0144】図5の制御および電源回路(40')に入力される垂直同期信号および映像信号は、制御および電源回路(40)に入力されるそれより1水平周期遅れている。このため、ゲートラインG3とG0'が、同時に走査されることはない。また、液晶パネルの上半分のコモン電極に供給される矩形波の位相が、下半分のそれと同じなので、上下2つのコモン電極を短絡しても問題ない。

【0145】この実施形態4においても、ゲートラインG3とG0'の走査に、1あるいは2水平周期の時間差をつけた程度では、画面中央の輝線や暗線が解消されない場合を考えられる。次に、上記2つの垂直同期信号VG3とVG0'にどの程度の時間差をつけられるか説明する。

【0146】コモン反転駆動方式のLCDの場合、もし、画面上半分と下半分のコモン電極が短絡していないなら、コモン直流駆動の場合と同じように考えることができる。ここでは、両者は短絡しているものとする。

【0147】まず、VsyncとVsync'の時間差は、1水平周期の整数倍でなければならない。ソースドライバの出力電圧の極性を反転するときに、コモン電極の電位も反転しなければならないからである。

【0148】さらに、図7に示すように、Vsyncの垂直帰線期間の一部と、Vsync'の垂直帰線期間の一部が重なっていなければならない。そして、VsyncもVsync'も帰線期間に入ったときを見計らってフィールド反転しなければならない。垂直表示期間中にフィールド反転すると、反転したとき走査中のラインが、輝線や暗線となつて現れるおそれがあるからである。画面の上半分も下半分も垂直帰線期間中にフィールド反転するためには、VsyncとVsync'が同時に垂直帰線期間に入る瞬間がなければならない。

【0149】また、隣接するゲートラインG3とG0'上の液晶セルを異なる極性に充電するには、VsyncとVsync'の時間差は、1水平周期の奇数倍でなければならない。時間差が偶数倍であると、隣接するゲートラインG3とG0'上の液晶セルが同極性で充電されるので好ましくない。上述する実施形態3の場合のコモン直流駆動方式のLCDであると、コモン電極の電位を反転する必要がないので、以上の条件を考慮する必要はない。上半分と下半分の画面のコモン電極が短絡していない場合は、両者に異なる電圧を印加できるので、やはり、以上の条件を考慮する必要はない。

【0150】また、図7に示す本実施形態4では、垂直帰線期間が2水平周期しかないので、前記条件を満たそ

うとすると、かなり窮屈な設計になる。しかし、垂直帰線期間は、数10水平周期程度存在するのが普通なので、実際には、位相差を選択する余地は、かなり残されている。前記条件下においても、ほとんどの場合、要求される画質を満足させる位相差を見つけることができる。

【0151】なお、本実施形態において、図5に示す制御および電源回路(40)と(40')は、2つに分かれているが、これらを同じICパッケージにまとめてよいし、同じICチップ上に作ってもよい。また、VsyncとVsync'の一方から他方をカウンタなどで作るのは容易であるから、映像信号源からLCDに、片方を伝送するだけでもよい。その他、上半分の駆動回路と下半分のそれとで、例えばγ補整用の基準電圧源など共用できる回路は共用することが好ましい。

### 【0152】

【発明の効果】以上説明したように、本発明によれば、容量性負荷の表示絵素で構成した表示画面を上下に分割して、線順次走査で同時に駆動するドットマトリクス表示装置において、上下両面の走査線の走査順序を制御することにより、上記上下両画面の分割境界部分における上画面側と下画面側の隣接する走査線の輝度差を解消することができ、高精細、高品位の表示を行わせることができる。

【0153】また、映像信号の各フレーム毎に、上記上画面は上から下へ(あるいは下から上へ)走査し、下画面は下から上へ(あるいは上から下へ)走査することにより、上記分割境界部分における上下両画面の隣接する走査線の絵素が信号の充放電に関して同一条件で駆動されることになるので、この隣接する両走査線の輝度差を解消することができ、上下両画面の分割境界部分の表示品位を向上させることができる。

【0154】また、上記上下両画面を駆動する映像信号の位相をずらせ、上画面を走査するタイミングと下画面を走査するタイミングをずらせるようにするので、各表示絵素に影響する浮遊容量の影響の程度が、上記分割境界部分における上下両画面の隣接する走査線だけ異なることによる輝線または暗線の発生を抑制することができ、上下両画面の分割境界部分の表示品位を向上させることができること。

【0155】更に、上記の上下両画面を走査するタイミングを映像信号の水平周期信号の奇数倍だけずらすことにより、上画面と下画面を駆動する両ドライバが同一極性の信号を出力する場合でも1ライン毎のライン反転を採用することができ、上記の表示品位の向上を安定して行わせることができる。

### 【図面の簡単な説明】

【図1】 本発明の構成図である。

【図2】 本発明の実施形態1の動作説明に用いるタイムチャートである。

- 【図3】 本発明の実施形態2の動作説明に用いるタイムチャートである。
- 【図4】 本発明の実施形態2の動作説明図である。
- 【図5】 本発明の実施形態3、4の構成図である。
- 【図6】 本発明の実施形態3の動作説明に用いるタイムチャートである。
- 【図7】 本発明の実施形態4の動作説明に用いるタイムチャートである。
- 【図8】 液晶表示装置の構成図である。
- 【図9】 液晶表示装置に用いるソースドライバの構成図である。
- 【図10】 液晶表示装置の絵素部における浮遊容量の等価回路図である。
- 【図11】 従来の液晶表示装置の動作説明に用いるタイムチャートである。
- 【図12】 液晶表示装置の動作説明図ある。
- 【図13】 液晶表示装置の動作説明図ある。
- 【図14】 液晶表示装置の動作説明図ある。
- 【図15】 液晶表示装置の動作説明図ある。
- 【図16】 液晶表示装置の表示特性図である。
- 【図17】 従来例の動作説明に用いるタイムチャートである。
- 【図18】 従来例の構成図である。
- 【図19】 従来例の動作説明に用いるタイムチャートである。
- 【図20】 従来例の構成図である。

【図21】 従来例の動作説明図である。

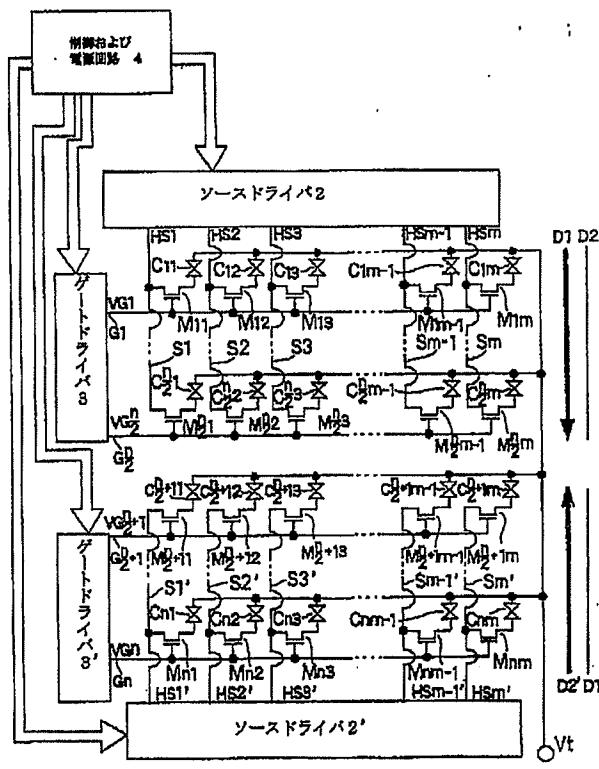
【図22】 従来例の動作説明に用いるタイムチャートである。

【図23】 従来例の動作説明図である。

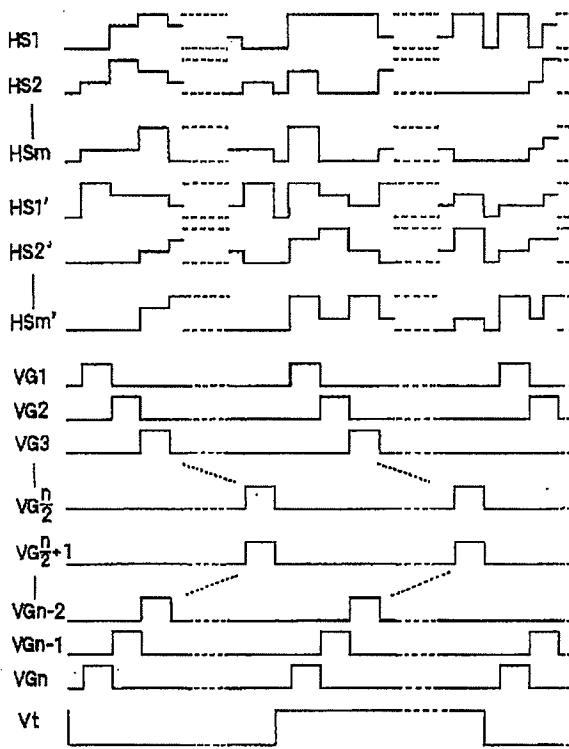
【符号の説明】

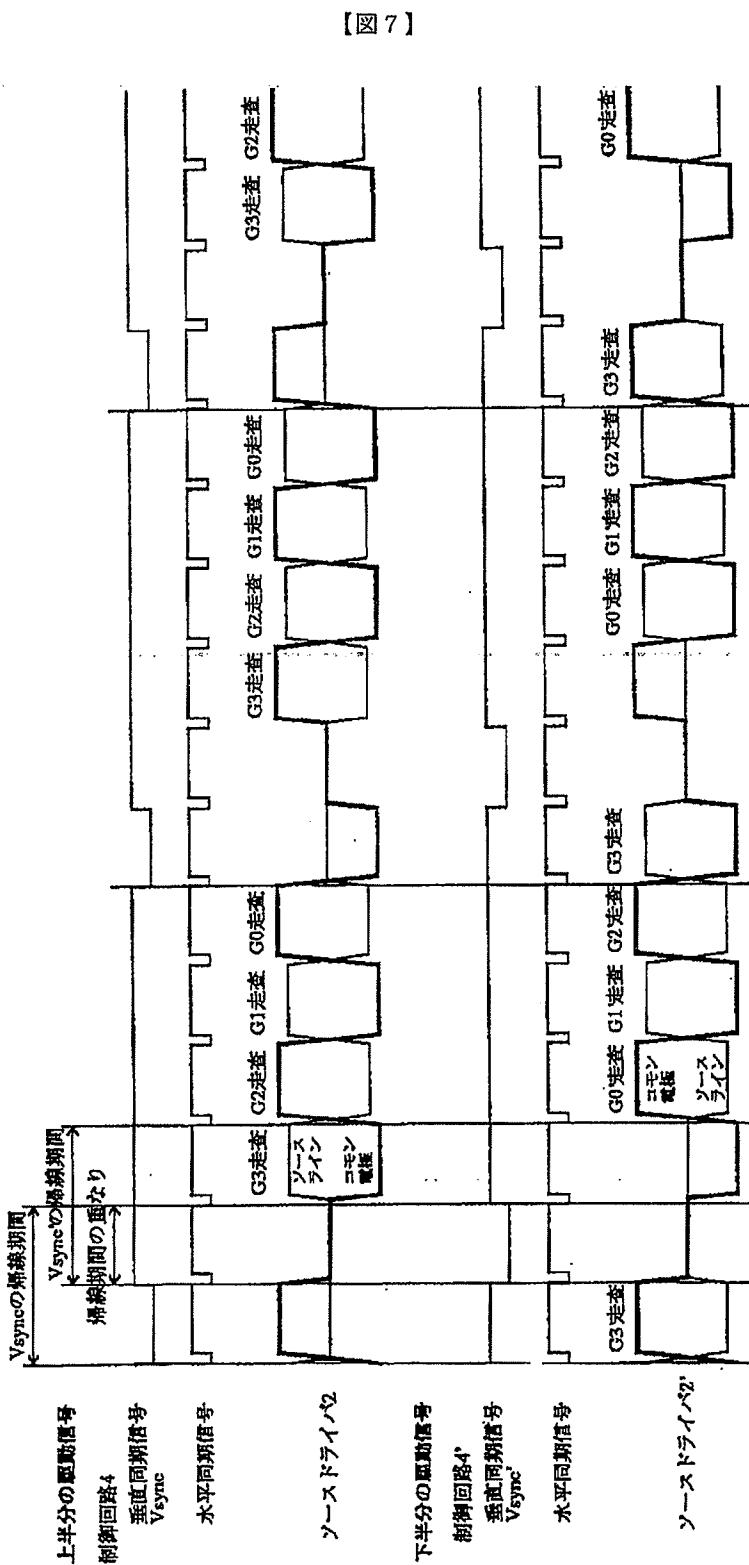
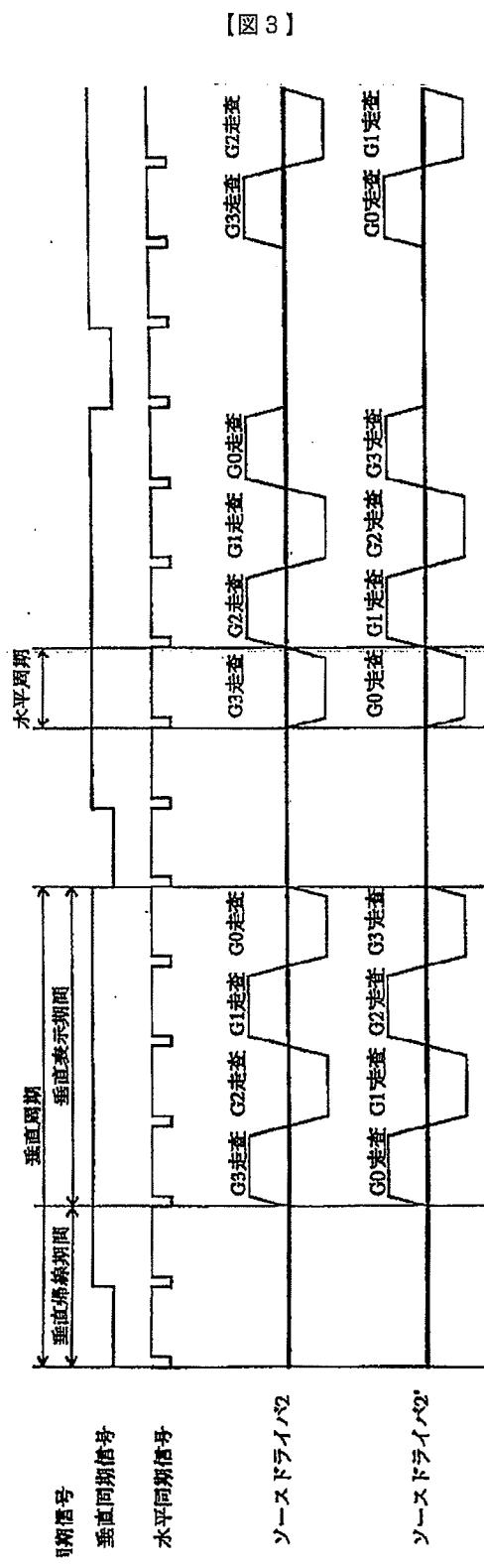
- 1 液晶パネル
- 2, 2' ソースドライバ
- 3, 3' ゲートドライバ
- 4 制御および電源回路
- 5 TFT
- 6 液晶セル
- 7 コモン電極
- 11 シリアーラレバ レル変換器
- 12 ラッチ/フリップフロップ
- 13 デジタル-アナログ変換器
- 14 出力バッファ
- 20 映像信号源
- 21 制御回路
- 22 メモリ
- 40, 40' 制御および電源回路
- S1~Sm 第1の信号線
- G0, G1~Gn 第2の信号線/ゲートライン
- G0' ~G3' 第2の信号線/ゲートライン
- M11~Mnm スイッチング素子
- C11~Cnm 液晶セル

【図1】

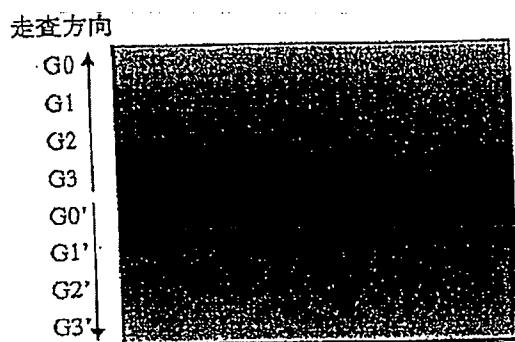


【図2】

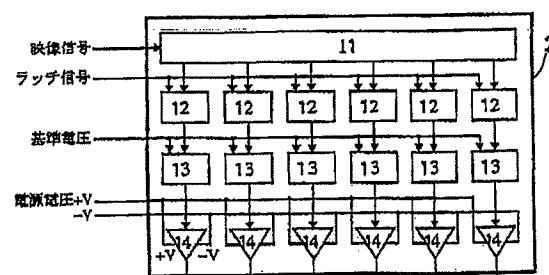




【図4】

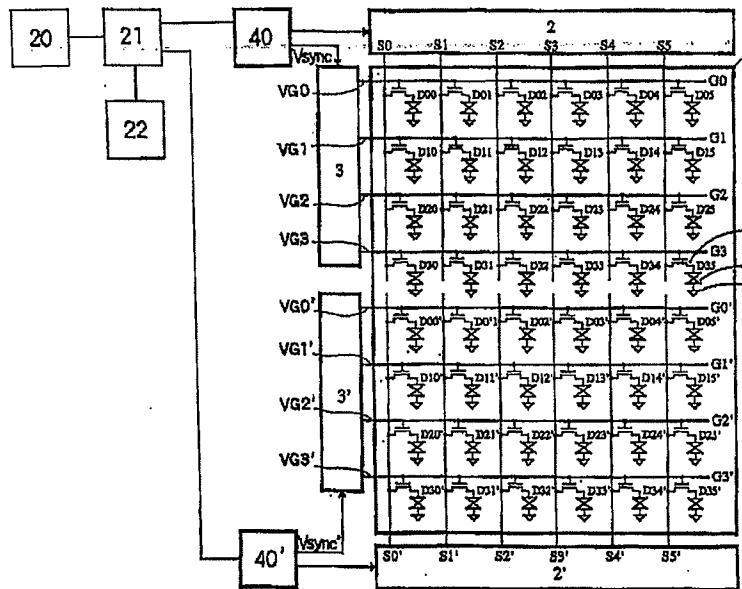


【図9】



【図12】

【図5】

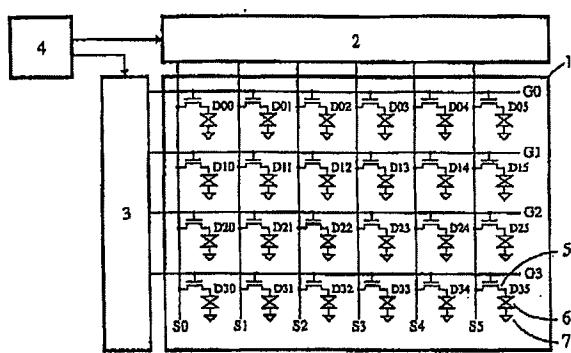


D00	D01	D02	D03	D04	D05
白	白	白	白	白	白
D10	D11	D12	D13	D14	D15
白	白	黒	黒	白	白
D20	D21	D22	D23	D24	D25
白	白	黒	黒	白	白
D30	D31	D32	D33	D34	D35
白	白	白	白	白	白

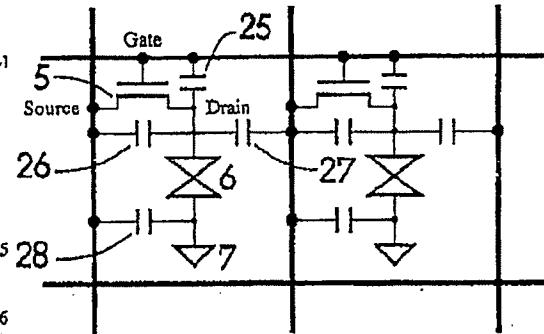
【図15】

白	黒	白	黒	白	黒	白
黒	白	黒	白	黒	白	白
白	黒	白	黒	白	黒	白
黒	白	黒	白	黒	白	黒
白	黒	白	黒	白	黒	白
黒	白	黒	白	黒	白	黒

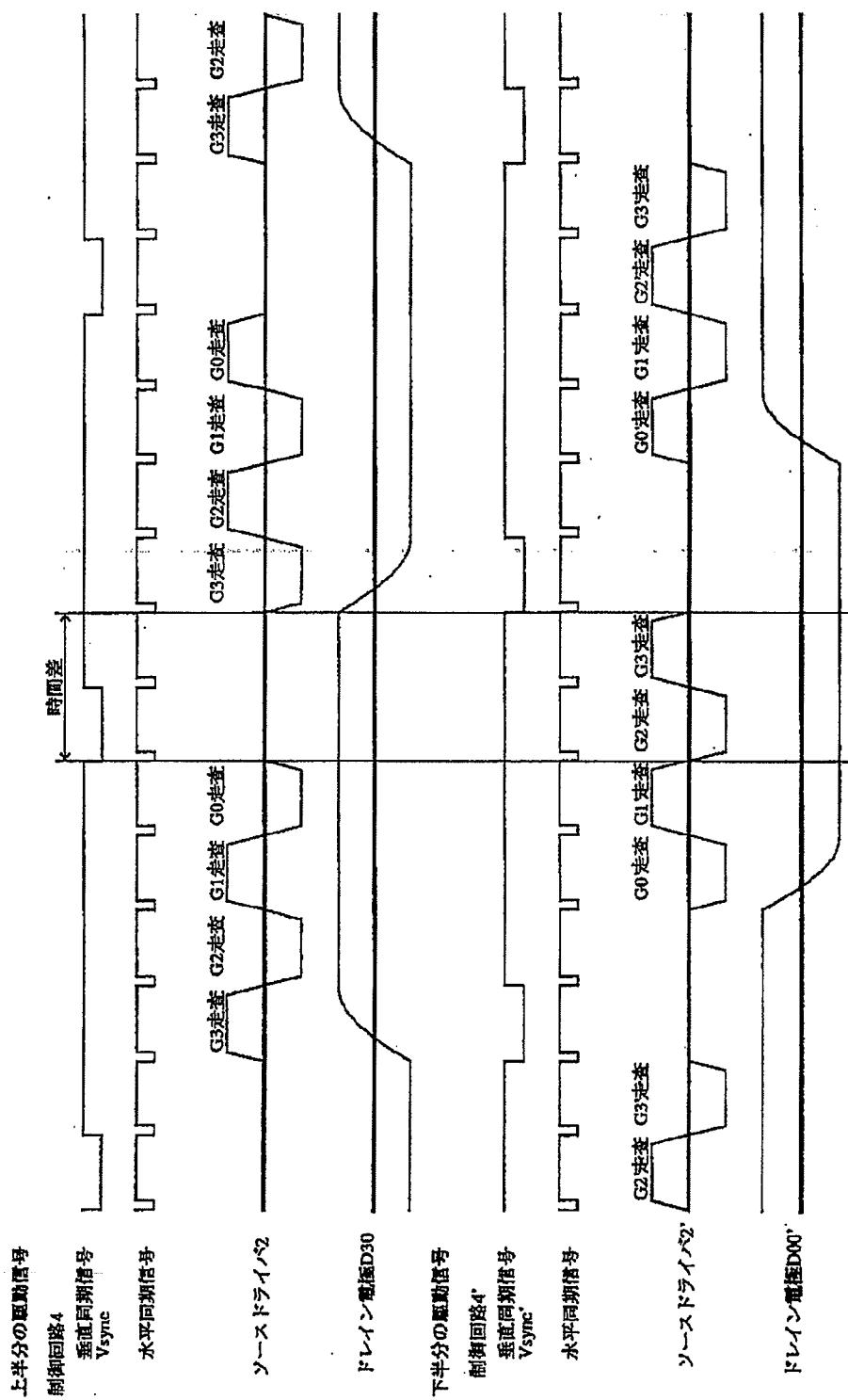
【図8】



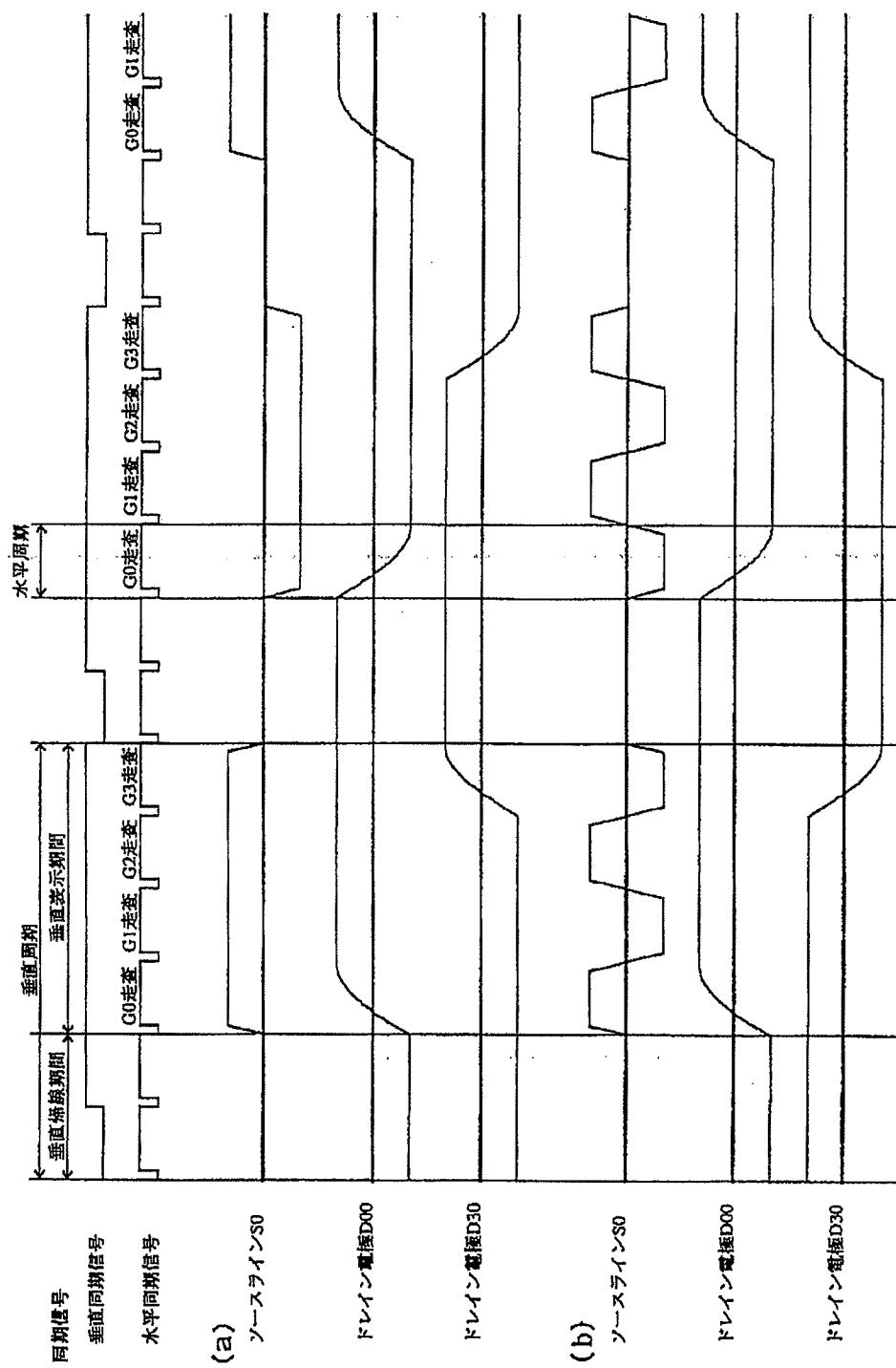
【図10】



【図6】



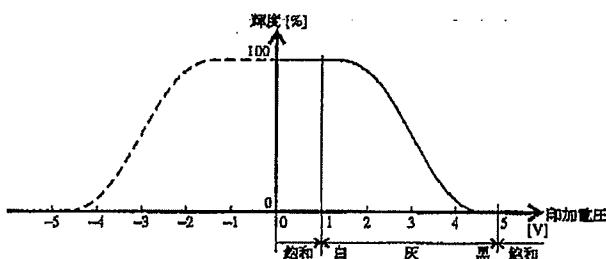
【図11】



【図13】

D00 白	D01 白	D02 灰	D03 灰	D04 白	D05 白
D10 白	D11 白	D12 黒	D13 黒	D14 白	D15 白
D20 白	D21 白	D22 黒	D23 黒	D24 白	D25 白
D30 白	D31 白	D32 灰	D33 灰	D34 白	D35 白

【図16】



【図14】

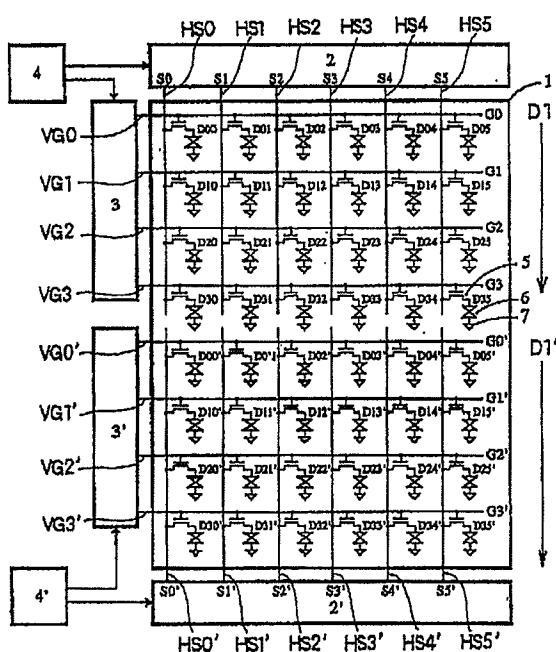
D00 正	D01 負	D02 正	D03 負	D04 正	D05 負
D10 負	D11 正	D12 負	D13 正	D14 負	D15 正
D20 正	D21 負	D22 正	D23 負	D24 正	D25 負
D30 負	D31 正	D32 負	D33 正	D34 負	D35 正

次のフレーム

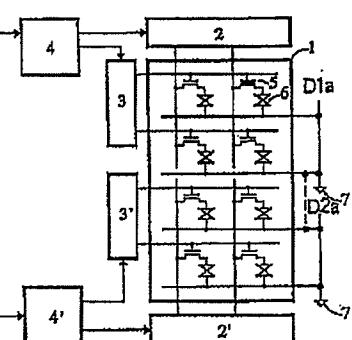
D00 負	D01 正	D02 負	D03 正	D04 負	D05 正
D10 正	D11 負	D12 正	D13 負	D14 正	D15 負
D20 負	D21 正	D22 負	D23 正	D24 負	D25 正
D30 正	D31 負	D32 正	D33 負	D34 正	D35 負

次の次のフレーム

【図18】



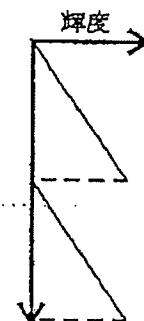
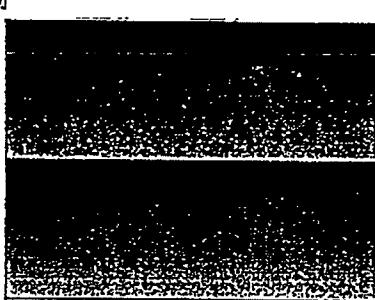
【図20】



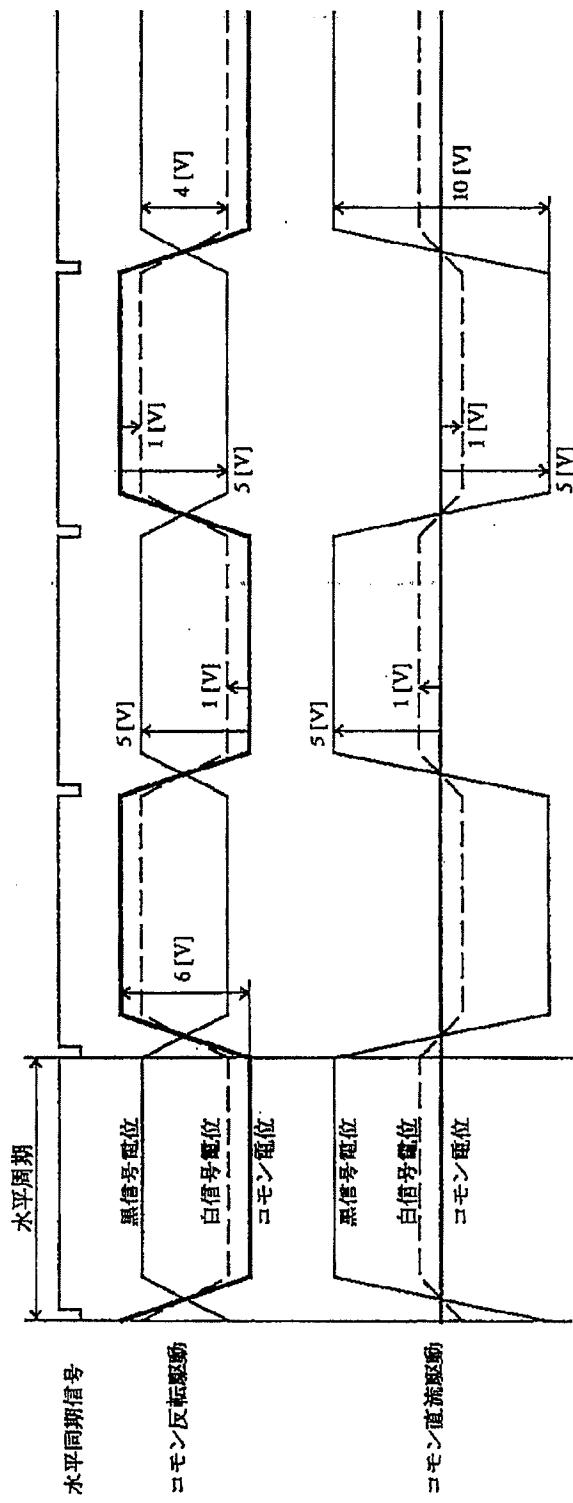
【図21】

走査方向

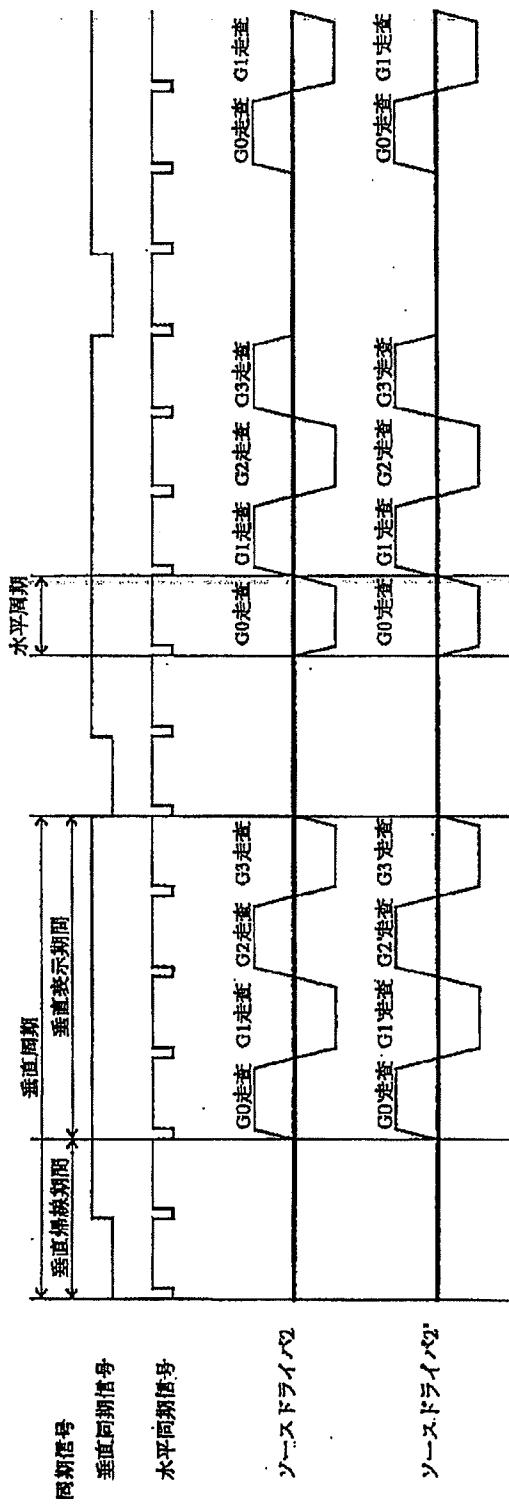
G0  
G1  
G2  
G3  
G0'  
G1'  
G2'  
G3'



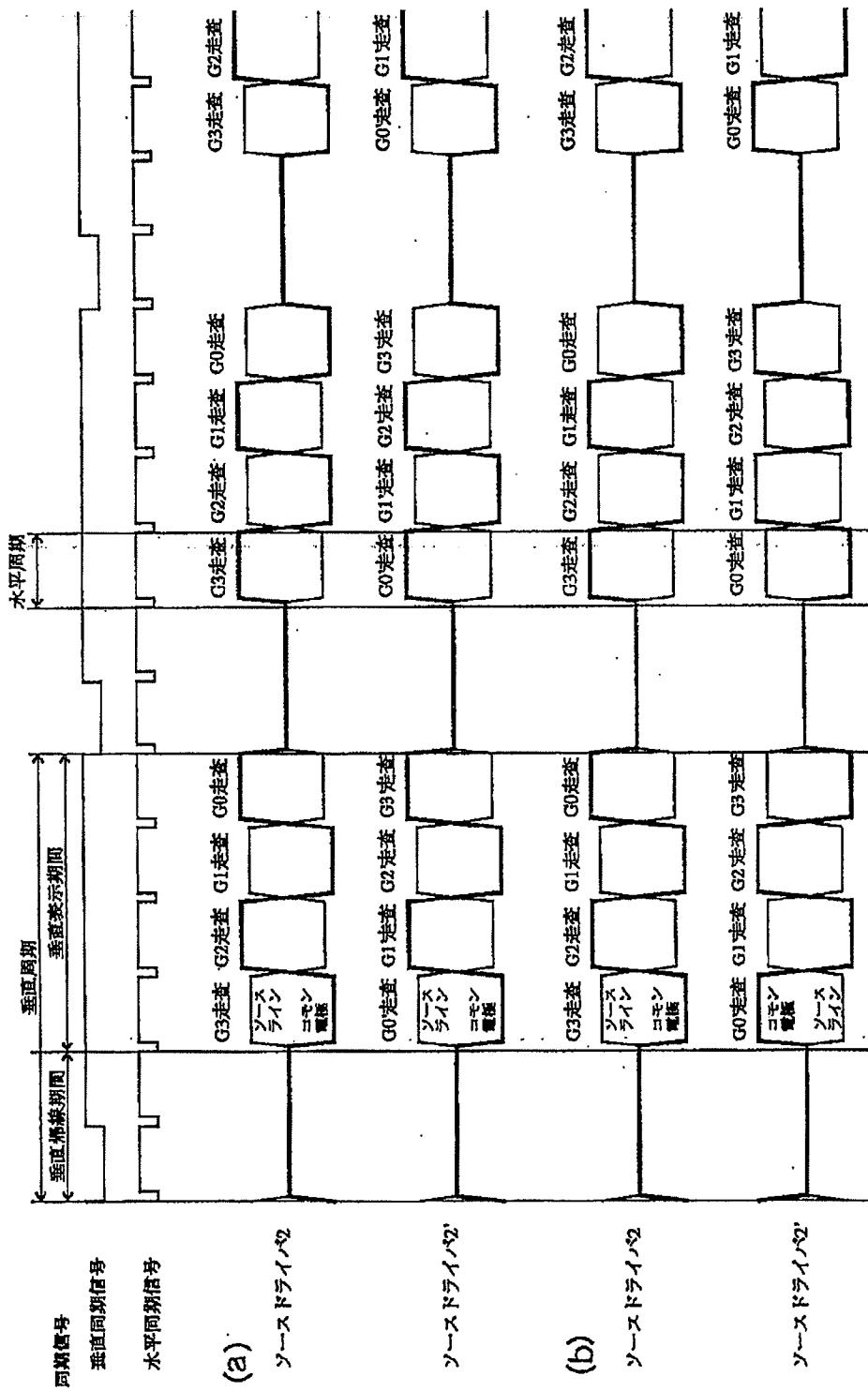
【図17】



【図19】



【図22】



【図23】

D00 負	D01 負	D02 負	D03 負	D04 負	D05 負
D10 正	D11 正	D12 正	D13 正	D14 正	D15 正
D20 負	D21 負	D22 負	D23 負	D24 負	D25 負
D30 正	D31 正	D32 正	D33 正	D34 正	D35 正
D00' 正	D01' 正	D02' 正	D03' 正	D04' 正	D05' 正
D10' 負	D11' 負	D12' 負	D13' 負	D14' 負	D15' 負
D20' 正	D21' 正	D22' 正	D23' 正	D24' 正	D25' 正
D30' 負	D31' 負	D32' 負	D33' 負	D34' 負	D35' 負

D00 正	D01 正	D02 正	D03 正	D04 正	D05 正
D10 負	D11 負	D12 負	D13 負	D14 負	D15 負
D20 正	D21 正	D22 正	D23 正	D24 正	D25 正
D30 負	D31 負	D32 負	D33 負	D34 負	D35 負
D00' 負	D01' 負	D02' 負	D03' 負	D04' 負	D05' 負
D10' 正	D11' 正	D12' 正	D13' 正	D14' 正	D15' 正
D20' 負	D21' 負	D22' 負	D23' 負	D24' 負	D25' 負
D30' 正	D31' 正	D32' 正	D33' 正	D34' 正	D35' 正

次のフレーム  
↓  
↓ 次の次のフレーム